

# 알기 쉬운 반도체 소자 이론 (Version 1.1)

2020. 3. 20.

집필자: 서강대학교 전자공학과 최우영 교수

(<http://tidlab.sogang.ac.kr>)

<Copyright 2017. 최우영. All rights reserved.>

본 자료의 내용을 인용할시 출처를 밝혀주시기 바랍니다.

# 서문

본 자료는 비전공자들이 반도체 소자의 이론을 쉽게 이해하기 위하여 작성되었다. 당초의 목표는 반도체 공정 이론도 다루고자 하였으나 “삼성 반도체 이야기 사이트”의 “반도체 8대 공정“이라는 글이 비전공자들도 반도체 공정을 쉽게 이해할 수 있도록 잘 작성되어 있어 본 자료에서 다루지 않기로 하였다. 해당 사이트 (<http://samsungsemiconstory.tistory.com/search/반도체%208대%20공정>)를 방문하여 일독을 권한다. 본 자료의 내용은 학문적인 엄밀성을 추구하기 보다는 반도체 소자 이론을 비전공자에게 쉽게 이해시키는데 초점을 맞추었으므로 반도체 소자 이론의 엄밀하고 정확한 이해를 위해서는 시중의 반도체 소자관련 전공서적을 읽어보거나 관련 강의를 수강할 것을 권한다. 반도체 소자의 이론은 전자공학, 물리학, 재료공학등의 넓은 지식이 필요하며 실생활에서 접할 수 없고 눈에 보이지 않는 세계를 다루므로 이해하기 쉽지 않은 것이 사실이므로 꼭 필요한 내용만을 다루고 쉽게 풀어쓰는 접근 방식으로 난이도를 낮추고자 노력하였다. 본 자료의 내용을 이해하는 데에는 고등학교 수준의 물리 지식 정도면 충분할 것으로 생각한다. 쉬운 이해가 가장 중요한 목표인 만큼 자료의 형식, 표현, 비유, 설명면에서 다소 다듬어지지 않은 부분이 존재함도 너그러이 양해를 부탁드린다. 본 자료의 내용은 그동안의 강의 경험에 기반한 저자의 저술을 바탕으로 하나 다음의 자료들에서도 내용을 일부 참고하였음을 미리 밝혀둔다. 본 자료가 반도체 관련 업무를 수행하는 비전공자들에게 작게나마 도움이 되기를 바라며 이를 시작으로 좀 더 심도있는 반도체 소자 공부를 할 수 있는 기반이 되기를 희망한다.

- 삼성 반도체 이야기 (<http://www.samsungsemiconstory.com/>)
- SK 하이닉스 블로그 (<http://blog.skhynix.com/>)

2017년 4월 17일

집필자 서강대학교 전자공학과 최우영 교수

(2020년 3월 20일에 업로드된 Version 1.1은 기존 version 1의 일부 오타를 수정하고 일부 내용을 업데이트한 버전입니다)

## 제1장 반도체 물성

### 1 — 반도체 개념과 특성

#### ■ 반도체란 무엇인가?

- 도체 (Conductor): "전류가 잘 흐르는 물질"로 철, 구리, 알루미늄, 금 등을 말함
- 부도체 (Insulator): "전류가 흐르지 않는 물질"로 유리, 플라스틱, 나무 등을 말함
- 반도체 (Semiconductor): "전류가 흐르는 정도가 도체와 부도체의 중간인 물질"임
- 전자공학에서는 전기가 흐르는 정도를 '전기전도도 (conductivity)'라 칭하는데, 도체는 전기전도도가 아주 크고, 부도체는 거의 0(제로)이며, 반도체는 그 중간 정도의 전기전도도를 가짐
- 반도체가 중요한 이유는 전기적인 신호를 가하거나, 불순물을 첨가하거나, 온도를 변화하거나, 빛에 노출시키면 그 전기적인 특성이 도체 혹은 부도체와 유사하게 변화한다는 것임. 특히 전기적인 신호를 이용하여 전기적인 특성을 도체 혹은 부도체와 유사하게 변화시킬 수 있다는 점이 중요한데 이는 전기 신호만으로 정보를 처리하거나 저장할 수 있는 전자회로의 구현이 가능하다는 점을 시사함

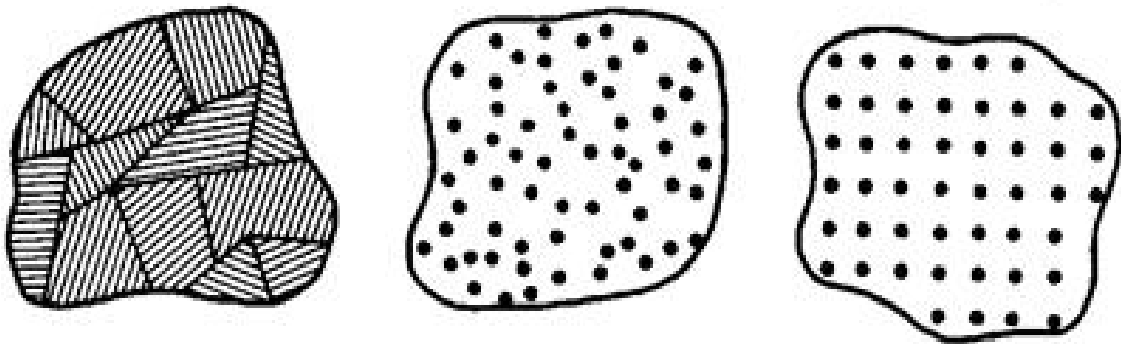
#### ■ 반도체의 종류

- 반도체는 원소 주기율표에서 그림 1과 같은 원소들로 구성됨

hydrogen 1 H 1.0079																																helium 2 He 4.0026					
lithium 3 Li 6.941		beryllium 4 Be 9.0122																		neon 10 Ne 20.180																	
sodium 11 Na 22.990		magnesium 12 Mg 24.305																		argon 18 Ar 39.948																	
potassium 19 K 39.098		calcium 20 Ca 40.078		scandium 21 Sc 44.956		titanium 22 Ti 47.867		vanadium 23 V 50.942		chromium 24 Cr 51.996		manganese 25 Mn 54.938		iron 26 Fe 55.845		cobalt 27 Co 58.933		nickel 28 Ni 58.693		copper 29 Cu 63.546		zinc 30 Zn 65.39		gallium 31 Ga 69.723		germanium 32 Ge 72.61		arsenic 33 As 74.922		selenium 34 Se 78.96		bromine 35 Br 79.904		krypton 36 Kr 83.80			
rubidium 37 Rb 85.468		strontium 38 Sr 87.62		yttrium 39 Y 88.906		zirconium 40 Zr 91.224		niobium 41 Nb 92.906		molybdenum 42 Mo 95.94		technetium 43 Tc [98]		ruthenium 44 Ru 101.07		rhodium 45 Rh 101.91		palladium 46 Pd 106.42		silver 47 Ag 107.87		cadmium 48 Cd 112.41		indium 49 In 114.82		tin 50 Sn 118.71		antimony 51 Sb 121.76		tellurium 52 Te 127.60		iodine 53 I 126.90		xenon 54 Xe 131.29			
cesium 55 Cs 132.91		barium 56 Ba 137.33		57-70 * Lu 174.97		71 Lu 174.97		72 Hf 178.49		73 Ta 180.95		74 W 183.84		75 Re 186.21		76 Os 190.23		77 Ir 192.22		78 Pt 195.08		79 Au 196.97		80 Hg 200.59		81 Tl 204.38		82 Pb 207.2		83 Bi 208.98		84 Po [209]		85 At [210]		86 Rn [222]	
francium 87 Fr [223]		radium 88 Ra [226]		89-102 * * Lr [261]		103 Lr [261]		104 Rf [261]		105 Db [261]		106 Sg [266]		107 Bh [264]		108 Hs [265]		109 Mt [268]		110 Uun [271]		111 Uuu [272]		112 Uub [273]		114 Uuq [289]											

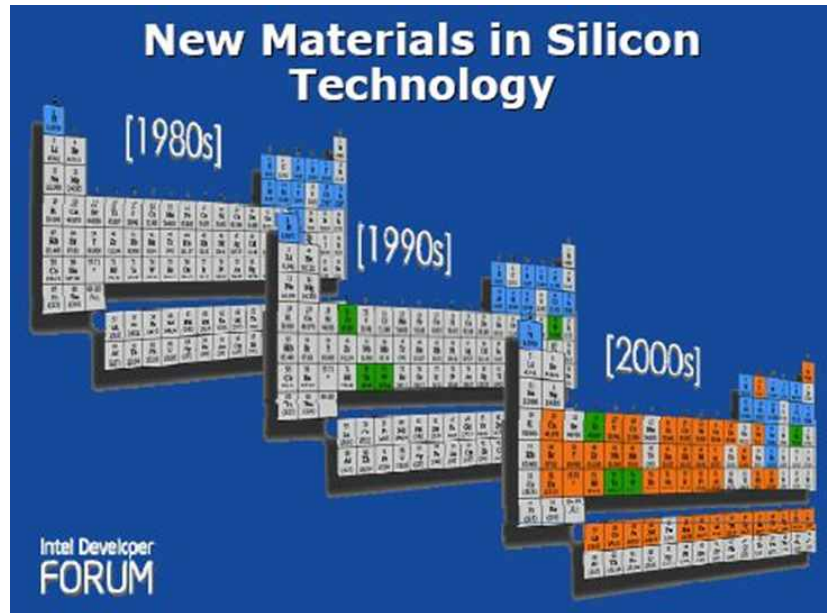
[그림 1] 원소 주기율표 상에서의 반도체 위치.

- 실리콘 (Si), 게르마늄 (Ge), 탄소 (C)와 같이 단일한 원소로 구성된 반도체가 있는 반면, SiC, GaAs, GaN, CdSe, SiGe 등과 같이 두가지 이상의 원소로 구성된 반도체도 존재함
- 일반적으로는 실리콘 (Si)이 반도체 산업의 주류를 형성하고 있으며, 본 자료는 앞으로 실리콘 반도체를 위주로 설명을 진행하고자 함
- 그림 2와 같이 실리콘 원자가 완전히 규칙적으로 배열되어 있으면 “결정질 실리콘”으로 (long-range order), 완전히 불규칙적으로 배열되어 있으면 “비정질 실리콘”으로 (disorder), 국부적인 영역에서만 규칙적이고 전체적으로는 불규칙적일 때에는 “다결정질 실리콘”으로 (short-range order) 불림



[그림 2] (왼쪽부터) 다결정질 실리콘, 비정질 실리콘, 결정질 실리콘.

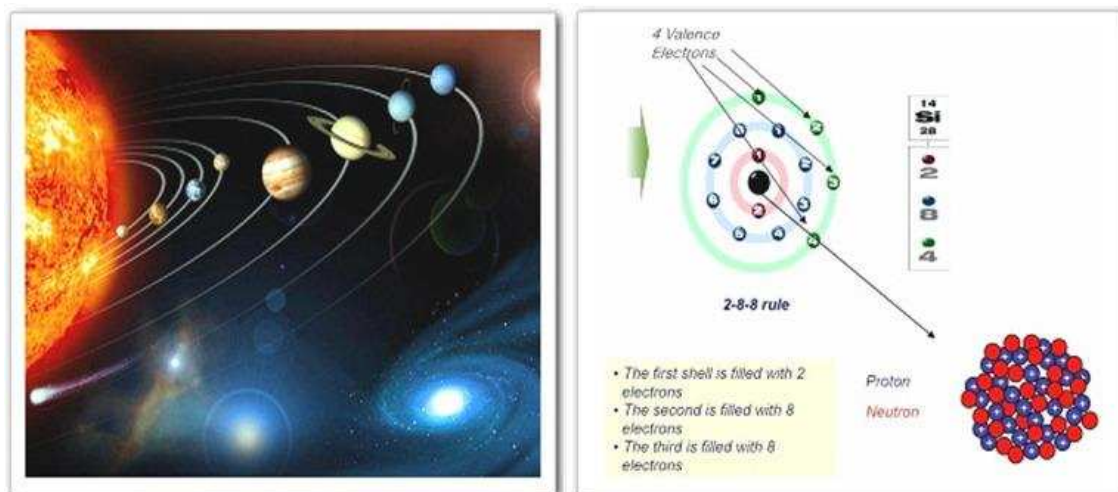
- 비정질 실리콘은 TV에 주로 사용되는 대형 LCD 디스플레이 패널에 사용되어 디스플레이 산업에 매우 중요하며, 다결정질 실리콘은 카메라등에 사용되는 소형 LCD 디스플레이 패널 혹은 태양전지 등에 사용되고 있고, 결정질 실리콘은 메모리, 비메모리 등의 반도체 산업에 사용되고 있음. 따라서 본 자료는 결정질 실리콘을 위주로 설명을 진행 하겠음
- 반도체 칩을 구현하기 위해서는 실리콘이 기본적인 재료로 이용되지만 그림 3과 같이 점점 더 많은 원소 및 물질이 적용되고 있음. 가까운 미래에 원소 주기율표에 도식된 대부분의 원소가 반도체 산업에 이용될 것으로 전망함



[그림 3] 반도체 기술에 사용되는 원소의 종류 <Source: Intel>.

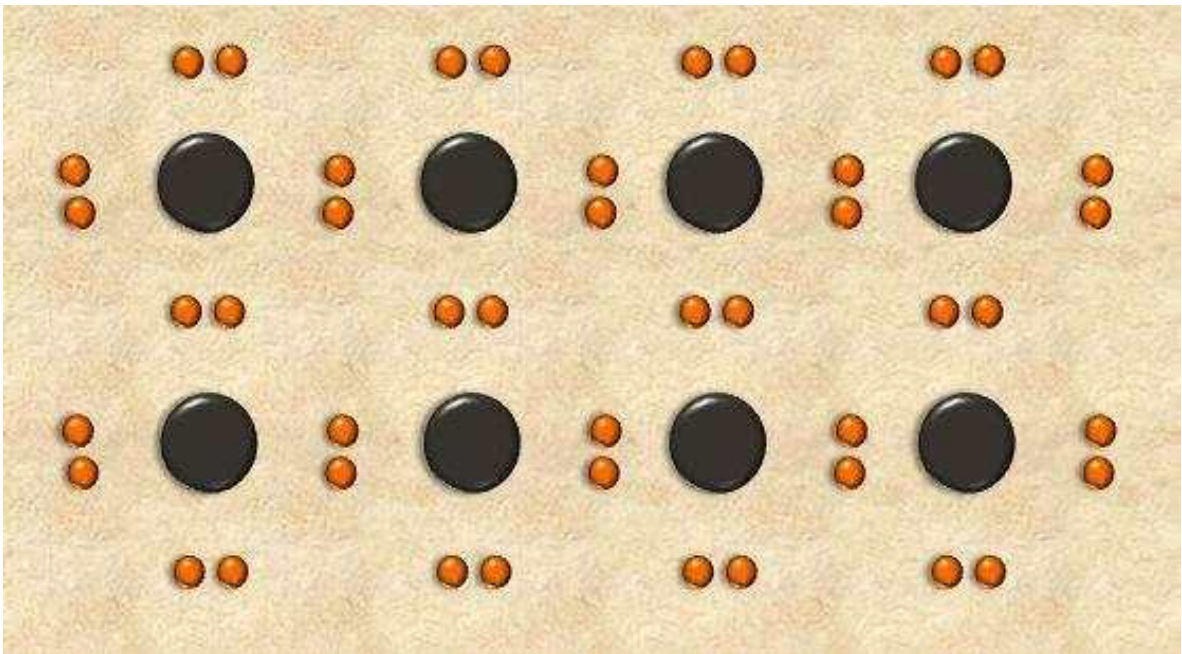
## ■ 실리콘 반도체의 물성

- 원소 주기율표 상에서 실리콘 원자는 그림 4와 같이 14개의 전자를 가지고 있으며 이들은 원자핵을 중심으로 궤도를 형성하며 공전운동을 하고 있는데 2개의 전자는 원자핵과 가장 가까운 궤도를 공전하고, 8개의 전자는 원자핵과 두 번째로 가까운 궤도를 공전하며, 나머지 4개의 전자가 원자핵과 가장 먼 궤도를 공전하고 있음
- 이는 그림 4에서 보듯이 태양을 중심으로 행성이 공전하는 것과 유사함. 즉, 원자핵이 태양이고, 전자는 행성으로 볼 수 있음. 2개의 전자는 수성 궤도를, 8개의 전자는 금성 궤도를, 나머지 4개의 전자는 지구 궤도를 공전하고 있다고 생각할 수 있음.



[그림 4] 태양계 행성의 공전 궤도와 실리콘 반도체 전자의 공전 궤도 유사성.

- 반도체 소자를 이해하는 데에는 가장 바깥쪽 궤도를 공전하고 있는 4개의 전자만 생각하면 충분하며 이들을 “최외각 전자” 혹은 “가전자 (valence electron)”라고 함
- 반도체 칩을 구현하기 위해서는 수많은 실리콘 원자가 결합한 결정질 실리콘이 구성되어야 하는데, 이 경우 실리콘의 가장 바깥쪽 궤도에 8개의 전자가 공전을 해야 가장 안정한 상태가 됨
- 하지만 앞서 언급하였듯이 실리콘 원자 1개는 4개의 최외각 전자를 가지므로 결정질 실리콘을 구현하기 위해서는 하나의 실리콘 원자가 4개의 실리콘 원자를 이웃으로 삼고 각각의 이웃으로부터 1개씩의 최외각 전자를 공유하는 방법을 취하여 그림 5와 같은 결정질 실리콘을 구현함. 실리콘 원자끼리는 강력한 공유결합으로 이어져 있으므로 이를 끊어내는 것은 매우 어려움

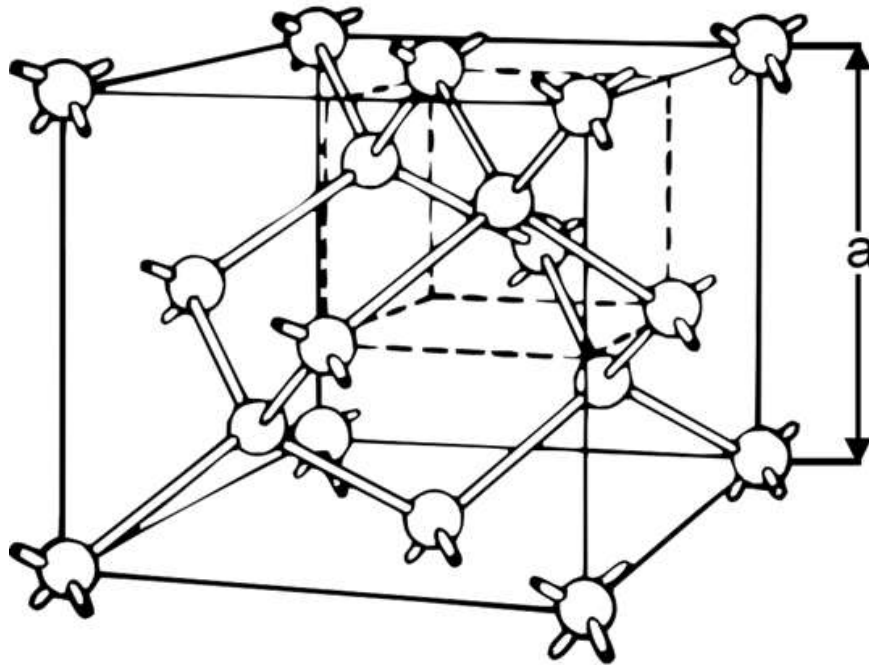


[그림 5] 실리콘 원자가 이웃과의 최외각 전자 공유를 통하여 8개의 최외각 전자를 구현한 모습.

- 그림 5는 결정질 실리콘의 이차원적인 모습을 간략히 도시한 것이고 실제로는 그림 6과 같은 3차원적 형상이 구현됨. 이를 다이아몬드 구조라고 부르며 (실리콘 대신에 탄소가 이러한 배열을 하고 있으면 다이아몬드이므로) 이러한 구조가 x방향, y방향, z 방향으로 무한히 주기적으로 반복되는 것이 결정질 실리콘의 구조임. 그림 6에서 a를 “격자상수”라고 부르며  $0.5 \text{ nm} (= 0.5 \times 10^{-9} \text{ m})$  정도의 길이임



- 그림 6과 같이 실리콘 원자가 규칙적으로 배열된 것을 그림 7에 도시된 “잉곳 (ingot)” 이라고 하며 원통형의 모습을 보임. 이를 얇게 썰어낸 것이 “웨이퍼 (wafer)”임. 반도체 칩은 일반적으로 웨이퍼의 표면에 구현됨. 비유하자면 잉곳은 소시지이고 웨이퍼는 소시지를 얇게 썰어 만드는 동그랑땡이라 할 수 있음



[그림 6] 결정질 실리콘의 삼차원적 배열 모습.

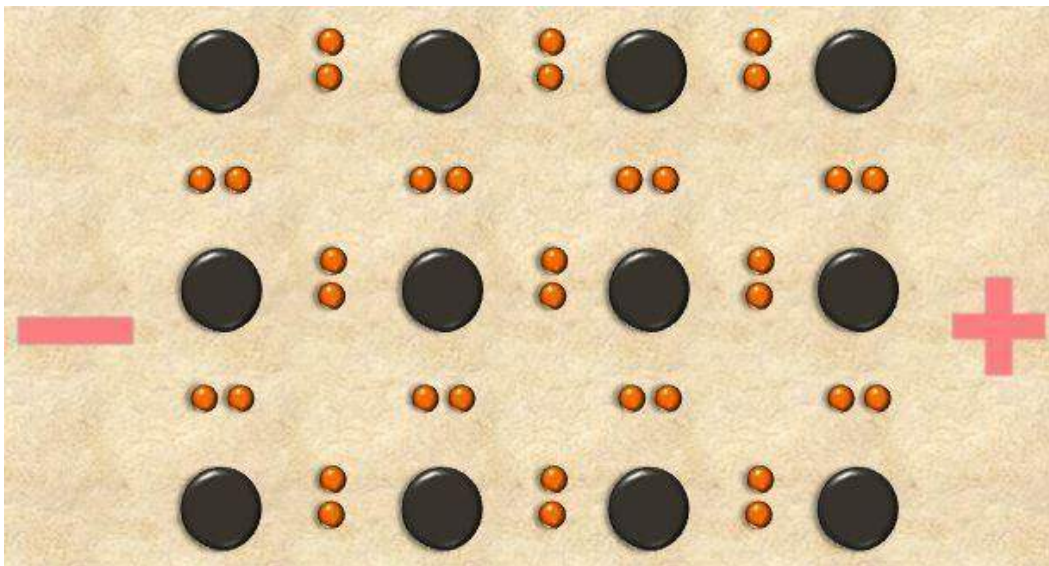


[그림 7] 결정질 실리콘 잉곳이 실리콘 웨이퍼로 제작되는 과정.

## ■ 진성 반도체, 외인성 반도체

- 용어를 우선적으로 정의하고 원리를 설명하고자 함
- 진성 (intrinsic = pure) 반도체: 실리콘 원자만으로 구성되어 어떠한 다른 원소도 존재하지 않는 반도체

- 외인성 (extrinsic) 반도체: 실리콘 원자에 의도적으로 불순물을 첨가하여 전기전도도를 변화시킨 반도체. 불순물의 종류에 따라 N형 반도체와 P형 반도체로 분류됨
- N형 반도체: 원소 주기율표에서 5열에 위치한 원소 (예를 들면, 인, 비소 등등)를 실리콘에 불순물로 첨가한 반도체. 진성 반도체보다 많은 전자를 보유하여 높은 전기전도도를 보임. 반도체에서 N은 전자를 의미하므로 전자가 많은 반도체라고 생각할 수 있음
- P형 반도체: 원소 주기율표에서 3열에 위치한 원소 (예를 들면, 붕소 등등)를 실리콘에 불순물로 첨가한 반도체. 진성 반도체보다 많은 정공 (hole)을 보유하여 높은 전기전도도를 보임. 반도체에서 p는 정공을 의미하므로 정공이 많은 반도체라고 생각할 수 있음
- 그림 5에서 보인대로 진성 반도체는 실리콘 원자가 규칙적으로 배열되어 있고 각각의 원자는 공유결합으로 인하여 8개의 최외각 전자를 보유하고 있음. 이러한 상황에서 그림 8과 같이 전압을 인가하면 얼핏 생각하였을 때, 최외각 전자가 상대적으로 양전압이 인가된 우측으로 이동하면서 전류가 좌측으로 흐르는 것으로 오해할 수 있음 (고등학교 물리에서 전류는 전자의 흐름이며, 전자의 흐름과 전류는 반대 방향이라고 배웠음)



[그림 8] 진성 반도체에서는 최외각 전자가 많아도 전류가 흐르지 않음.

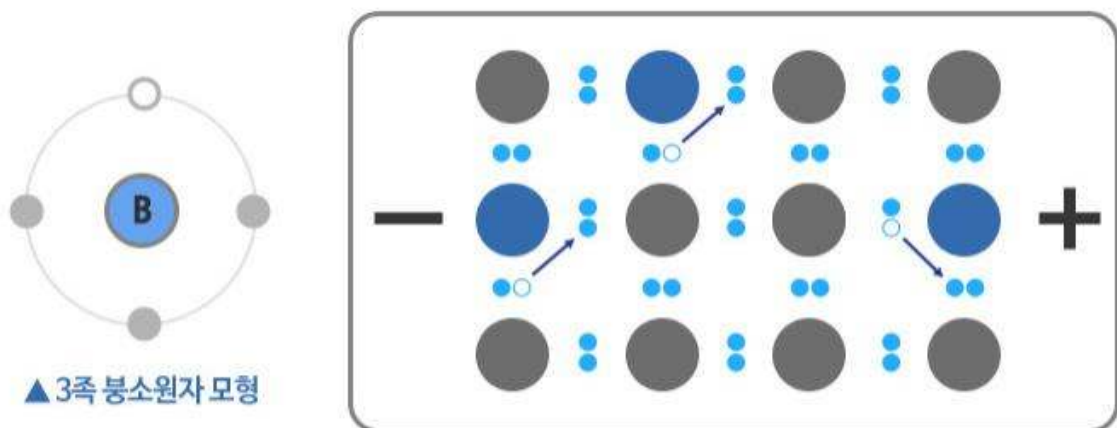
- 그러나 각각의 최외각 전자들은 모두 원자핵에 구속되어 있고 전자가 이동할 수 있는 빈공간이 없으므로 전압이 인가되어도 최외각 전자는 이동하지 않고 전류 역시 흐르지 않음. 이를 쉽게 이해하기 위한 예를 들면, 그림 9와 같이 교통체증 시에는 자동차 (= 최외각 전자)가 아무리 많아도 빈공간이 존재하지 않으므로 자동차의 이동 (=전류)이 불가능함. 따라서 불순물이 없는 순수한 (진성) 반도체는 부도체와 유사한 모습을 보임





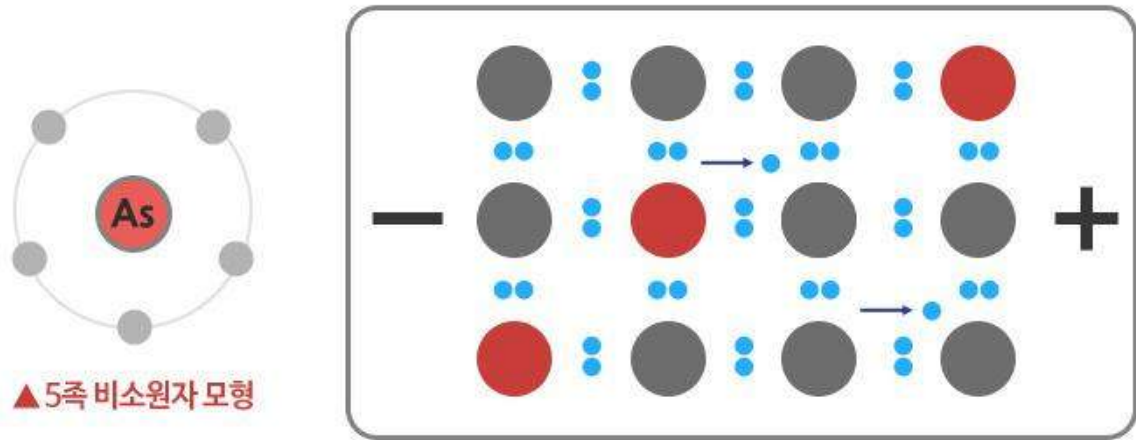
[그림 9] 그림 8에 대한 비유. 차량이 아무리 많아도 움직일 수 있는 빈공간이 없다면 차량은 움직이지 않음.

- 진성 반도체에 원소 주기율표의 3족 원소인 붕소를 미량 첨가 ( $10 \sim 10^7$ 개의 실리콘 원자중 하나를 붕소원자로 교체)하게 되면 그림 10과 같은 p형 반도체가 형성됨.  $10 \sim 10^7$ 개의 실리콘 원자중 하나가 8개가 아닌 7개의 최외각 전자를 갖게 되고 이는 전자 하나가 존재하지 않는 빈자리가 발생한다는 의미임. 이를 정공 (hole) 이라 하며 정공의 존재로 인해 전압 인가시 최외각 전자는 이동을 하게 되고 전류가 흐르게 됨. 이는 전기전도도가 진성 반도체의 그것보다 높아짐을 의미함. 그림 9의 비유를 적용한다면 교통체증인 도로에서 차량이 없는 빈자리가 발생하게 되면 그 빈자리로 차량들이 이동하여 교통흐름이 발생하는 것임



[그림 10] 진성 반도체에 원소 주기율표의 3족인 붕소를 첨가하였을 때, 정공 (hole)이 발생하여 전류가 흐르게 됨. 이는 전기전도도가 높아짐을 의미함.

- 여기서 중요한 내용은 일반적으로 p형 반도체를 설명할 때 최외각 전자가 빈자리를 통하여 이동한다고 설명하지 않고 빈자리인 정공을 전자와 반대인 (+)의 극성을 갖는 가상의 입자로 간주하고 정공이 이동하여 전류가 유발되고 전기전도도가 높아지는 것으로 설명한다는 점임. 물론 실제로는 빈자리를 통하여 최외각 전자가 이동하여 전류가 흐르게 되는 것이지만 이 경우에는 수많은 최외각 전자의 움직임을 모두 고려하여야 하므로 계산이 매우 어려움. 따라서 최외각 전자가 채우지 않은 빈자리일 뿐인 정공을 반도체 이론에서는 (+) 전하를 갖고 있는 전자와 반대 성질의 입자로 간주함. 그림 10과 같이 교통체증의 예를 다시 들어 설명하겠음. 차량이 없는 빈자리가 발생하였을 때, 차량들이 어떻게 움직일지 예측을 하려고 하면 (전류 흐름을 예측) 도로상에 있는 모든 차량의 움직임을 예측하여야 하는데 이는 엄청난 계산량이 필요하여 예측이 거의 불가능함. 그러나 도로를 여전히 차량이 빈자리 없이 채우고 있다고 가정하고 차량과 반대되는 속성을 갖는 유령 차량이 도로를 돌아다닌다고 가정하면 (유령 차량과 차량이 동일한 위치에 있으면 차량이 없는 것으로 보임) 차량 (최외각 전자)은 여전히 도로를 가득 채우고 있으므로 교통흐름이 없어 고려할 필요가 없고, 유령 차량 (정공)의 움직임만 예측을 하면 도로 교통흐름 (전류)의 예측이 가능함
- 위의 상황과는 반대로 진성 반도체에 원소 주기율표의 5족 원소인 인 혹은 비소를 미량 첨가 ( $10 \sim 10^7$ 개의 실리콘 원자중 하나가 인 혹은 비소 원자로 교체됨) 하게 되면 그림 11과 같은 n형 반도체가 형성됨.  $10 \sim 10^7$ 개의 실리콘 원자중 하나가 8개가 아닌 9개의 최외각 전자를 갖게 되고 이는 하나의 전자가 실리콘 원자에 구속되지 않고 자유로이 이동할 수 있는 상태가 된다는 의미임. 이를 전도 전자 (conduction electron)라고 하며 전도 전자의 존재로 인해 전압 인가시 최외각 전자는 이동을 하게 되고 전류가 흐르게 됨. 이는 전기전도도가 진성 반도체의 그것보다 높아짐을 의미함. 그림 9의 비유를 적용한다면 교통 체증인 도로에는 차량이 뺄뺄하게 빈틈없이 존재하여 교통의 흐름이 없으나 그 위로 고가도로가 있다면 그 고가도로로 올라간 차량들 (전도 전자)은 이동이 가능하고 이는 교통 흐름을 발생시키는 원리임
- 종합하면 진성 반도체는 낮은 전기전도도로 전류가 거의 흐르지 않아 부도체와 유사한 성질을 갖지만 붕소를 첨가한 p형 반도체는 정공의 이동으로, 인과 비소를 첨가한 n형 반도체는 전도 전자의 이동으로 전류가 흐르며 전기전도도가 높아져서 도체와 유사하게 됨



[그림 11] 진성 반도체에 원소 주기율표의 5족인 인을 첨가하였을 때, 전도 전자 (conduction electron)가 발생하여 전류가 흐르게 됨. 이는 전기전도도가 높아짐을 의미함.

## 2 — 반도체 전류 특성 —

### ■ 반도체에서의 전류

- 앞 절에서 언급하였듯이 반도체에서의 전류는 정공 혹은 전도 전자에 의해 발생하며 반도체 분야에서는 편의상 전도 전자를 “전자”라고도 표현함. 다만 이 경우에도 고등학교에서 배운 일반적인 전자가 아니라 최외각 전자중에 실리콘 원자에 구속되지 않아 전류에 기여하는 전도 전자를 지칭하는 것임을 명심해야 함. 전도 전자 이외의 전자는 전류 혹은 전기전도도와 무관함. 따라서 반도체 분석에서는 대부분의 경우 “전도 전자”를 “전자”라고 지칭함
- 정공과 전도 전자를 전하를 이동시키는 입자라는 의미로 “반송자 (carrier)”라고 부르며 반송자의 이동이 있으므로 전류가 흐르게 됨
- 반도체 소자 이론과 실무에서의 주요 질문은 “전압을 인가하였을 때, 어느 정도의 전류를 얻을 수 있을까? (예를 들면, 1 V를 반도체에 인가하면 몇 A의 전류가 흐를까?)”이므로 반도체 전류의 원리를 이해하는 것은 매우 중요함
- 반도체에서 흐르는 전류는 반송자 (전도 전자 혹은 정공)가 드리프트 (drift), 확산 (diffusion), 재결합-생성 (recombination-generation)의 세가지 원리 중 하나로 이동하는 것으로 발생함. 드리프트는 전기장에 의하여 반송자가 이동하는 것이며, 확산은 반송자의 농도차에 의하여 반송자가 이동하는 것이고, 재결합-생성은 정공과 전자가 결

합하여 사라지거나 전자와 정공이 쌍 (전자-정공 쌍: electron-hole pair)으로 발생하는 현상을 말함. 그림 12에 이에 대한 비유를 도시하였는데 드리프트는 강물의 흐름 (전기장)으로 인해 배 (반송자)가 쓸려서 이동하는 현상과 유사하며, 확산은 굴뚝의 연기가 멀리까지 퍼져나가는 현상과 유사하고, 재결합-확산은 남녀가 만나고 헤어지는 상황과 유사함. 각각의 원리를 아래에 상술함

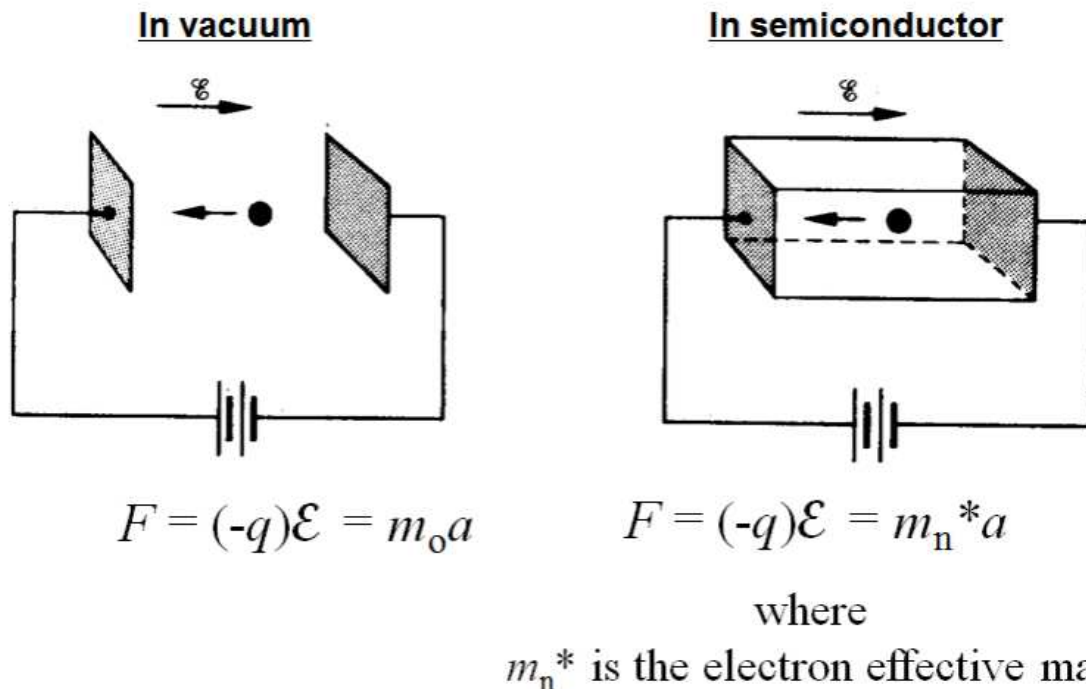


[그림 12] (왼쪽부터) 반도체에서 전류를 유발하는 드리프트, 확산, 재결합-생성 현상의 비유.

#### ■ 드리프트 전류

- 드리프트 현상은 전기장에 의하여 반송자가 이동하는 것을 말하며 (전기장은 전압이 높은 곳에서 낮은 쪽으로 발생하는데 양성의 전기적 성질을 띄고 있는 정공은 낮은 전압 쪽으로 끌려가며 이는 전기장 방향으로 이동한다고 볼 수 있고, 음성의 전기적 성질을 띄고 있는 전도 전자는 높은 전압쪽으로 끌려가는데 이는 전기장과 반대 방향으로 이동한다고 볼 수 있음) 드리프트에 의해 발생하는 전류를 드리프트 전류 (drift current)라고 하며 전자의 드리프트로 발생하는 전류를 전자 드리프트 전류, 정공의 드리프트로 발생하는 전류를 정공 드리프트 전류라고 함. 드리프트 전류는 대표적인 메모리인 DRAM, NAND 플래시, NOR 플래시, SRAM 및 비메모리 칩에 사용되는 대표적인 트랜지스터인 MOSFET이 동작할 때의 전류 성분이고 저항에 대한 Ohm의 법칙과 연관되어 매우 중요함
- 드리프트 전류는 반송자가 많을수록, 반송자가 빠르게 이동할수록 증가하게 됨 (전류는 1초당 이동하는 전하의 양을 말함, 1 C의 전하가 1초에 이동하는 것이 1 A임). 반송자의 속도를 드리프트 속도 (drift velocity,  $v_d$ )라고 하며 그림 13과 같이 고등학교 수준의 물리지식으로 이해가 가능함. 고등학교 물리에서 진공에 전자를 두고 전기장을 인가하면  $m_0$ 의 정지질량을 갖는 전자가 가속도  $a$ 로 이동하게 됨. 반도체의 드리프트 현상

도 이와 동일하게 설명이 되나 유일한 차이점은 진공이 아닌 실리콘 원자로 채워진 공간에 전도 전자가 놓여 있는 상황임. 이는 무수히 많은 실리콘 원자가 전도 전자에 미치는 영향을 계산하여야 하므로 계산이 매우 어렵지만 반도체 연구자들은 다음과 같은 방법을 이용하여 고등학교 물리 지식만을 이용하여 실리콘 내부에서의 전도 전자의 움직임을 예측할 수 있게 하였음. 전자의 정지질량 (rest mass)  $m_0$  ( $=9.1 \times 10^{-31}$  kg) 대신에 전자의 유효질량 (effective mass)  $m_n^*$ 을 사용하면 무수한 실리콘 원자가 전도 전자에 미치는 영향이 유효질량의 값에 포함이 되게 됨. 따라서 정지질량 값이 아닌 유효질량 값을 사용하게 되면 반도체 내부를 이동하는 전자의 움직임을 진공을 이동하는 전자의 움직임과 동일한 방법으로 기술할 수 있게 됨. 아울러 정공의 드리프트 운동은 정공의 유효질량  $m_p^*$ 를 사용하면 됨. 물질에 따른 유효질량과 정지질량의 관계는 표1과 같이 이미 알려져 있으므로 그 값을 사용만 하면하면 고등학교 물리에서 본 그림 13의 수식으로 실리콘 내부의 전도 전자와 정공의 움직임을 예상하고 궁극적으로 드리프트 전류의 흐름이 예상됨



[그림 13] (왼쪽) 고등학교 물리에 기술된 진공중에서의 전자의 운동. (오른쪽) 반도체내부에 위치한 전도 전자의 드리프트 운동. 정지질량을 유효질량으로 대체하면 동일한 방법으로 분석이 가능함.



[표 1] 반도체 물질에 따른 유효질량과 정지질량의 관계.

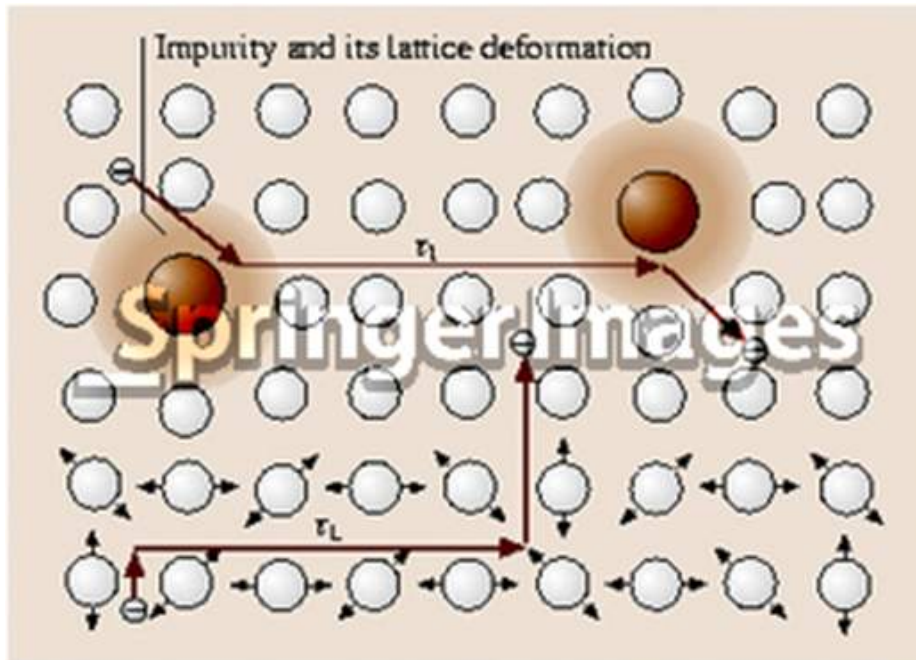
	<b>Si</b>	<b>Ge</b>	<b>GaAs</b>
$m_n^*/m_0$	0.26	0.12	0.068
$m_p^*/m_0$	0.39	0.30	0.50

- 위에서 언급된 논리에 따르면 전기장이 일정하므로 드리프트 현상에 의하여 전자와 정공은 등가속도 운동을 하게 되어 시간에 따라 드리프트 속도가 선형적으로 증가한다고 오해할 수 있으나 실제로는 등속도 운동을 하게 됨. 이는 그림 14와 같이 전자와 정공이 실리콘 격자의 진동 (phonon scattering) 혹은 이온화된 불순물 (Coulomb scattering) 등에 의하여 운동을 방해받기 때문임. 이 현상도 역시 고등학교 물리에 기반하여 이해가 가능한데 예를 들어 전하량  $-q$  ( $=1.6 \times 10^{-19}$  C)를 갖고  $m_n^*$ 의 유효질량을 갖는 전자가 전기장  $\mathcal{E}$ 에 의해 가속이 되고 평균적으로  $\tau_{mn}$  초마다 충돌하여 운동량을 모두 잃게 된다면 (1) 과 같은 식이 가능하며 이를 바탕으로 전자의 드리프트 속도  $v_d$ 는 (2)식과 같이 표현되고 정공의 드리프트 속도도 (3)식과 같이 표현됨. (2) 식에서 보듯이 전자와 정공은 등속도 운동을 하게 되며 드리프트 속도는 전기장의 세기가 증가할수록 선형적으로 증가함을 보임. 이때의 선형계수인  $\mu_n$ 과  $\mu_p$ 를 전자의 이동도 (electron mobility)와 정공의 이동도 (hole mobility)라고 함. 이동도가 높다는 것은 전자와 정공이 빠르게 이동한다는 것을 의미하므로 반도체 소자의 전류가 증가한다는 것을 의미함. 이는 고성능의 반도체 칩을 구현할 수 있음을 의미함. 표 2는 물질에 따른 이동도를 도시함

$$m_n^* v_d = (-q) \mathcal{E} \tau_{mn} \quad (1)$$

$$|v_d| = q \mathcal{E} \tau_{mn} / m_n^* = \mu_n \mathcal{E} \quad (2)$$

$$|v_d| = q \mathcal{E} \tau_{mp} / m_p^* \equiv \mu_p \mathcal{E} \quad (3)$$



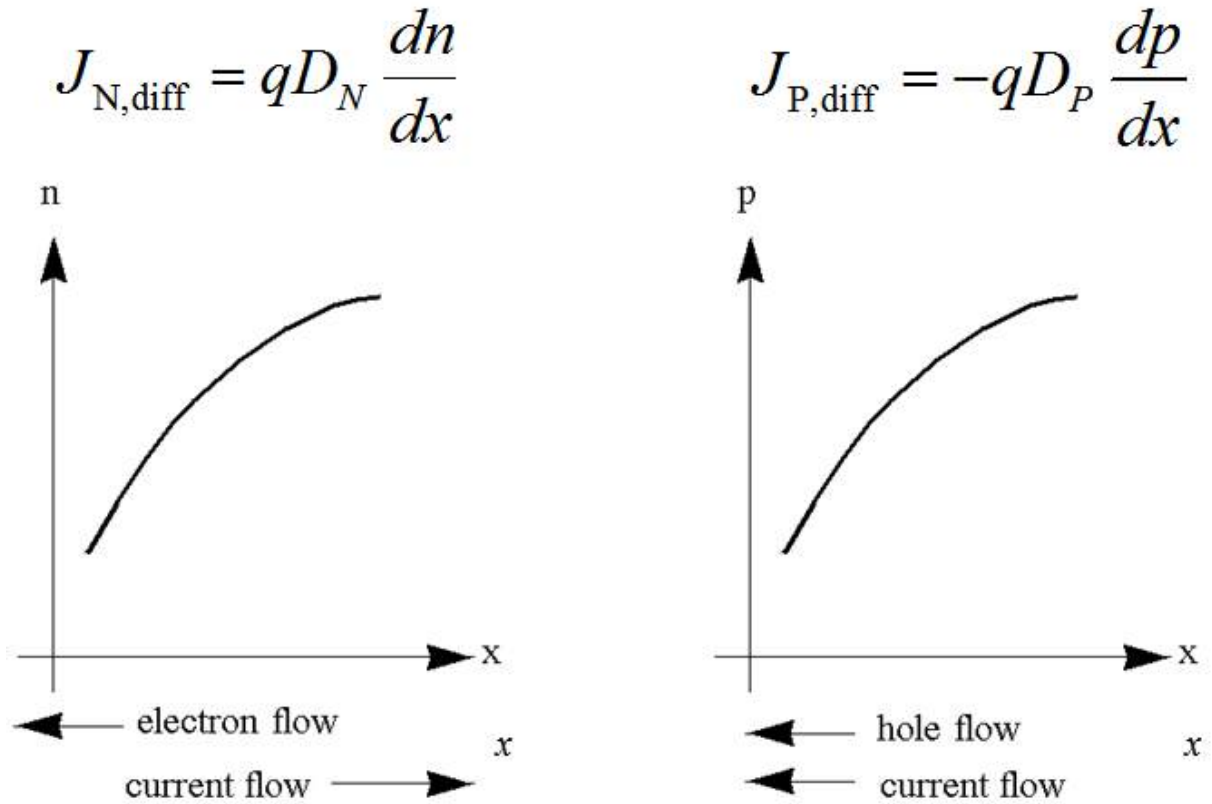
[그림 14] 반송자의 이동을 방해하는 phonon scattering과 Coulomb scattering.

[표 2] 반도체 물질에 따른 전자와 정공의 이동도.

	Si	Ge	GaAs	InAs
$\mu_n$ (cm <sup>2</sup> /V·s)	1400	3900	8500	30000
$\mu_p$ (cm <sup>2</sup> /V·s)	470	1900	400	500

## ■ 확산 전류

- 확산현상은 입자의 농도가 높은 곳에서 낮은 곳으로 입자가 이동하는 현상이며 (물에 잉크를 한방울 떨어뜨리고 기다리면 물 전체에 잉크가 퍼지게 되는 현상) 반송자인 전자나 정공의 농도가 높은 곳에서 낮은 곳으로 반송자가 이동하면 전류가 흐르게 됨. 이를 확산 전류 (diffusion current)라고 부름. 확산전류는 pn 접합을 이용한 다이오드 (diode), 이극성 접합 트랜지스터 (bipolar junction transistor: BJT)의 전류를 결정하며, MOSFET이 동작하지 않을 때의 누설전류를 결정하므로 중요함. 확산전류는 전자와 정공의 경우 그림 15와 같은 관계식으로 결정되게 됨. 당연하게도 확산전류는 반송자의 불균등한 분포에 비례하며 확산계수 (diffusion constant: D)를 선형계수로 가짐



[그림 15] 전자와 정공의 불균등한 분포와 그로 인한 전자 확산전류와 정공 확산전류의 수식.

#### ■ 재결합-생성 전류

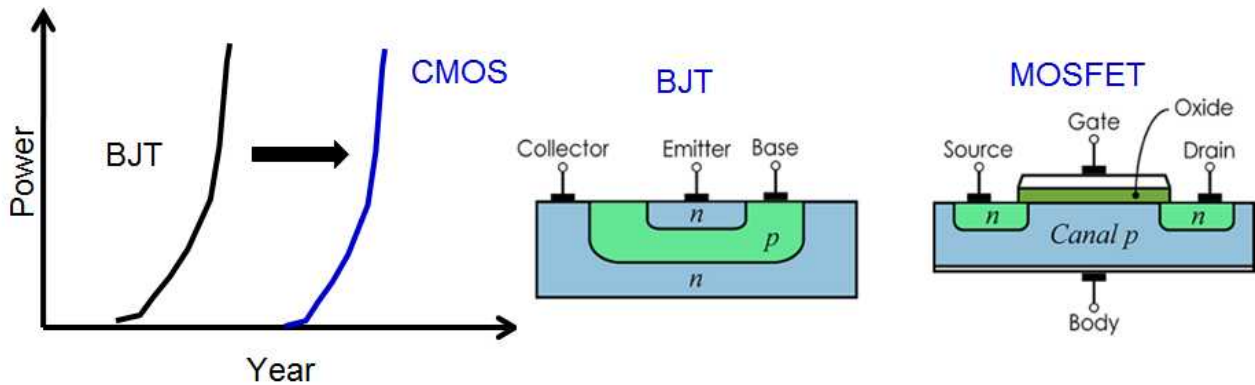
- 재결합-생성에 의한 전류를 재결합-생성 전류 (recombination-generation current) 라고 하며 빛이나 열을 감지하는 분야에 매우 중요함. 예를 들면 카메라에서 빛을 감지하는 이미지 센서 (CIS), 태양전지, 발광다이오드 (LED) 등의 분야에서 주로 이용됨. 다만 본 자료에서 주로 다루는 메모리, 비메모리 등의 응용에는 기여도가 드리프트 전류와 확산 전류에 비하여 미미하므로 본 자료에서는 다루지 않기로 함

### 1 — 반도체 소자 역사

#### ■ MOSFET 이전의 반도체 소자

- 최초의 전자 소자인 진공관 (vacuum tube)은 영국의 과학자 플레밍이 발명한 2극관이었음. 그러나, 진공관은 부피가 컸고 전자빔 발생을 위해 사용하는 필라멘트도 일정 시간이 지나면 타서 끊어져 버리는 단점이 있었음. 이러한 단점을 극복하지 아니하고 진공관으로 소형 전자장치를 구현하는 것은 불가능하였으므로 반도체로 만들어진 새로운 증폭장치의 개발이 필요하였음
- 일례로 진공관을 이용하여 1946년 미국의 펜실베이니아 대학에서 세계 최초로 개발한 전자계산기 ENIAC은 19000개 진공관이 필요하여 50톤의 무게와 280m<sup>2</sup>의 큰 면적을 차지하면서, 엄청난 열을 발생하였고, 가격도 1940년대 시가 백만 달러이상임
- 진공관의 단점을 극복하고자 1948년 벨 연구소의 윌리엄 쇼클리, 존 바딘, 월터 브래튼 3명의 과학자가 반도체로 트랜지스터를 발명함. 이는 반도체를 이용하여 전기 신호를 증폭하거나 정보를 처리하게 되었음을 의미함. 1951년에 텍사스 인스트루먼트사 (TI) 에 의해서 실리콘 트랜지스터가 생산되기 시작함
- 트랜지스터로 인해 전자제품의 크기는 점점 작아지고 사용하는 전력도 점점 감소하게 되었으며, 보다 정확하고 다양한 기능을 실현시킬 수 있게 됨. 그러나 수많은 트랜지스터와 전자부품을 서로 연결해야만 다양한 기능을 가진 하나의 제품을 만들 수 있는데 제품이 점점 복잡해질수록 납땜등의 방법으로 연결해 주어야 하는 부분이 기하급수적으로 증가하게 되고, 이런 연결점들이 제품의 고장을 야기하고 크기를 줄이기 어려운 주요 원인이 됨
- 1958년 미국 텍사스 인스트루먼트사 (TI) 의 엔지니어인 잭 킬비(Jack Kilby)가 여러 개의 반도체 소자를 하나의 작은 반도체 속에 집어넣는 방법을 발명함. 이를 집적회로 (integrated circuit: IC)라고 부르며 이를 이용하여 반도체 칩을 구현하는 방법을 플라나 공정 (planar process)이라고 함. 이러한 반도체 칩의 제작 방식은 현재도 사용되고 있으며 앞으로도 지속적으로 사용될 것이므로 본 자료의 뒷부분에서 상술하겠음
- 반도체 소자로는 1960년대에 이극성 접합 트랜지스터 (bipolar junction transistor:

BJT)가 주류를 이루었으나 그 이후로 현재까지 금속-산화물-반도체 전계 효과 트랜지스터(metal oxide semiconductor field effect transistor, 이하 MOSFET)이 주류를 이루고 있음. 각각의 구조는 그림 16에 도시됨. 본 자료는 현대 반도체 기술의 주류인 MOSFET을 중심으로 설명을 진행하고자 함



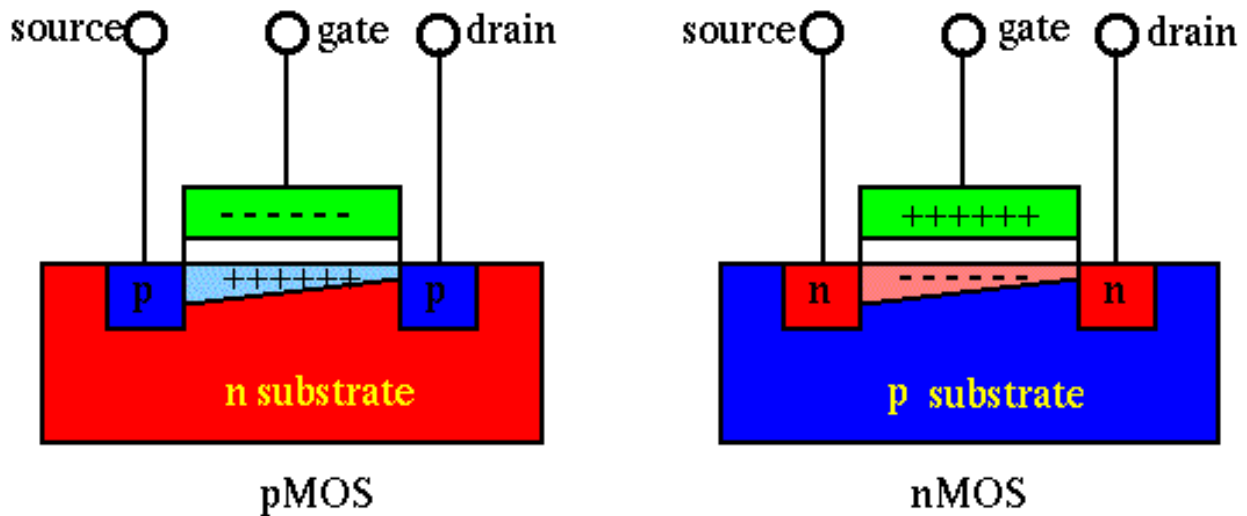
[그림 16] BJT와 MOSFET의 비교.

## 2 — 반도체 소자 이론 —

### ■ MOSFET의 동작원리

- MOSFET은 게이트 (gate), 소스 (source), 드레인 (drain), 기판 (substrate)의 4가지 단자로 구성되어 전압을 인가하고 전류를 얻게 되는 전자 소자임. 게이트에 낮은 전압이 인가되면 소스와 드레인 사이에서 전류가 흐르지 않지만, 게이트에 높은 전압이 인가되면 소스와 드레인 사이에 전류가 흐르게 됨. 이름에서도 알 수 있듯이 게이트에서 기판의 수직방향으로 형성된 MOS (금속-절연막-반도체, metal-oxide-semiconductor) 구조와, 소스에서 드레인의 수평방향으로 형성된 FET (전계효과 트랜지스터, field-effect transistor) 구조가 결합된 형상을 하고 있음 (그림 20에서 자세히 설명하겠음). 우선 게이트에 전압을 인가하여 수직방향인 MOS 구조에서 실리콘의 표면에 전자나 정공을 모아 주고, 소스와 드레인 사이에 전압을 인가하여 수평방향인 FET 구조가 전류를 흐르게 하는 원리임. 정공에 의하여 전류가 흐르는 MOSFET을 pMOSFET이라고 하며, 전자에 의하여 전류가 흐르는 MOSFET을 nMOSFET이라고 함. 본 자료는 nMOSFET을 주로 설명하기로 함





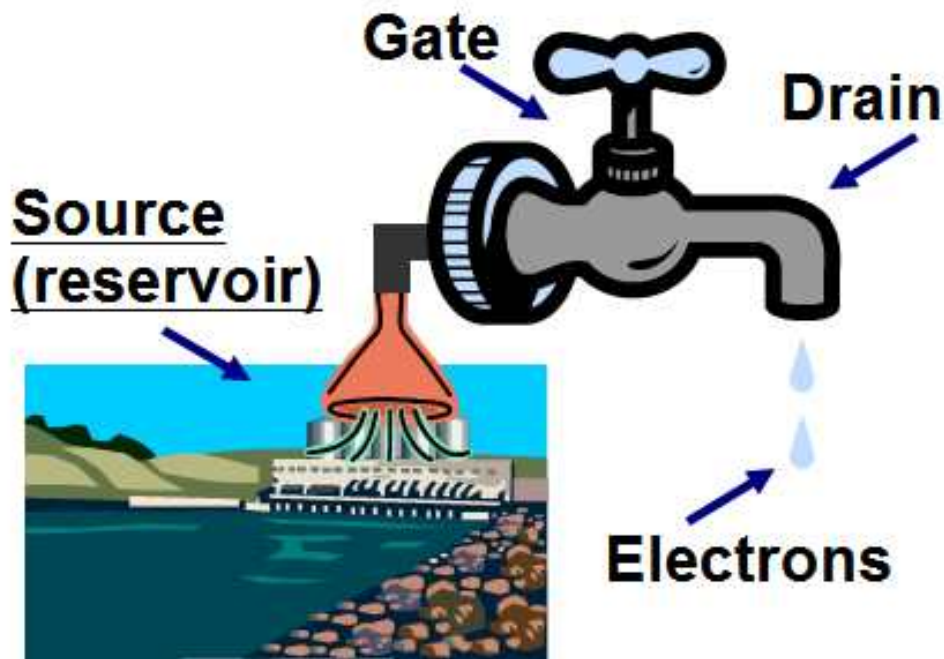
[그림 17] pMOSFET과 nMOSFET의 구조.

- MOSFET은 그림 18과 같은 스위치라고 볼 수 있음. 스위치의 왼쪽이 소스, 오른쪽이 드레인이라고 볼 수 있고 게이트에 높은 전압이 인가되면 소스와 드레인이 연결되어 전류가 흐르고 게이트에 낮은 전압이 인가되면 소스와 드레인의 연결이 끊어져서 전류가 흐르지 않게 됨



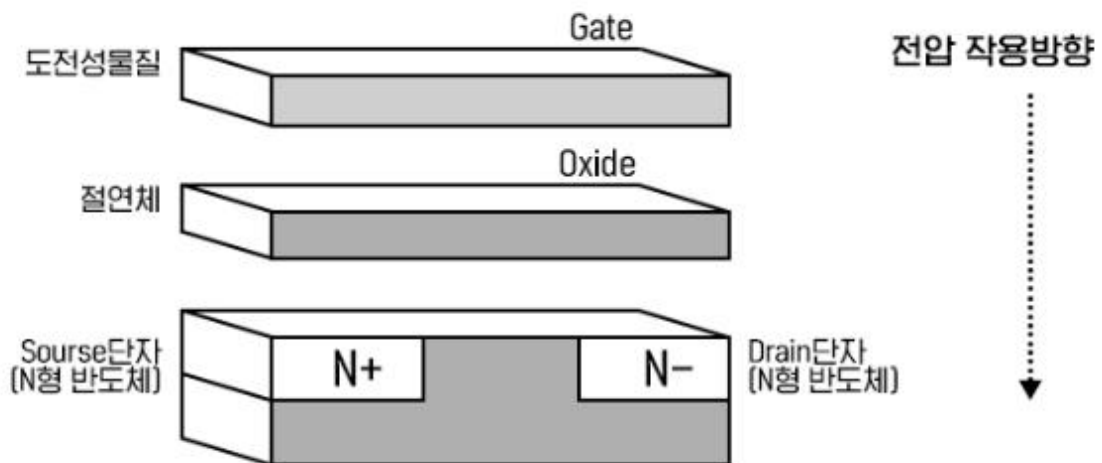
[그림 18] Switch의 open 상태 및 closed 상태.

- 좀더 비유적으로 설명하자면 그림 19와 같은 수도꼭지의 예를 들 수 있음. 전자를 물로, 전류를 물의 흐름으로 본다면 MOSFET은 수도꼭지와 같다고 볼 수 있음. 소스 영역은 n형 반도체이므로 전도 전자로 가득 채워져 있는데 이는 저수지에 물이 가득 채워져 있는 상황이라고 볼 수 있으며, 수도꼭지를 돌려서 물의 흐름을 제어하는 것을 게이트에 높고 낮은 전압을 인가하는 것으로 비유할 수 있음 (수도꼭지가 잠겼을 때는 게이트 전압이 낮고 수도꼭지가 열렸을 때에는 게이트 전압이 높은 상황). 수도꼭지에서 물이 나와 우리가 이용하는 것은 드레인에서 전류가 흘러서 반도체 칩이 동작하는 것으로 비유할 수 있음



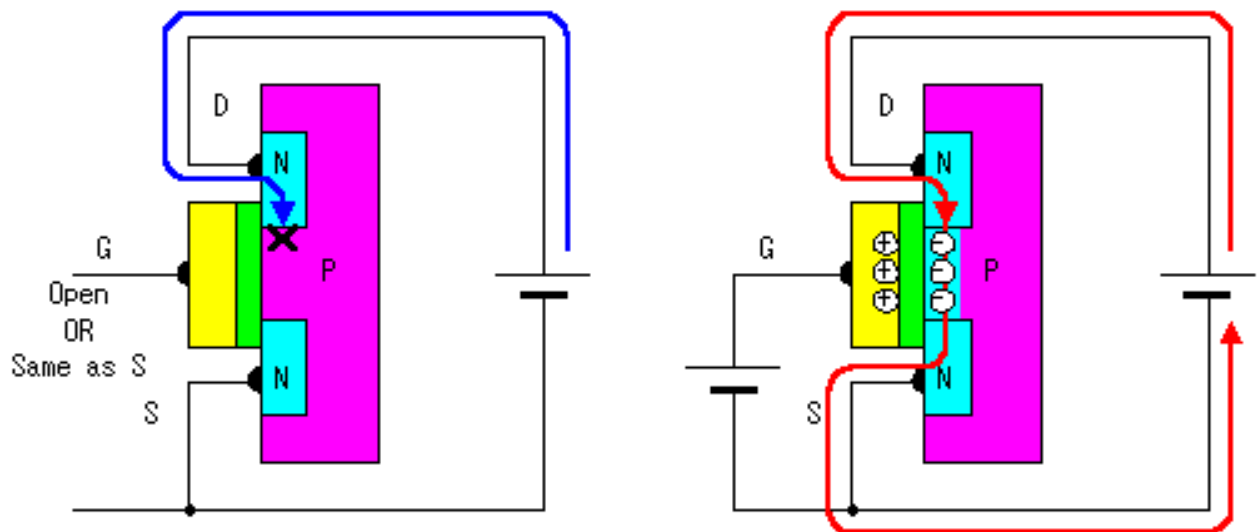
[그림 19] MOSFET을 설명하기 위한 수도꼭지 예시.

- 지금부터는 MOSFET을 수직인 MOS 구조와 수평인 FET 구조로 나누어 좀 더 깊이 분석하겠음. 그림 20에 도시된 바와 같이 MOSFET의 구조는 수직 방향으로 도체인 게이트, 부도체인 산화막 (oxide), 반도체인 기판으로 구성되어 있고 수평 방향으로는 불순물이 다량으로 첨가되어 도체와 유사한 성질을 갖는 n형 반도체의 사이로 불순물이 거의 첨가되지 않아 부도체와 유사한 성질을 갖는 p형 반도체가 놓여 있음



[그림 20] nMOSFET의 구조.

- 그림 21에서와 같이 게이트에 낮은 전압을 인가하게 되면 도체와 유사한 성질을 갖는 n형 반도체인 소스와 드레인 사이에 부도체와 유사한 성질을 갖는 p형 반도체가 존재하므로 소스와 드레인 사이에는 전류가 흐르지 않고 그림 18의 closed 상태의 스위치와 같은 상태가 됨. 그러나 게이트에 높은 양의 전압을 인가하게 되면 p형 반도체 내에 존재하던 전자가 전기적인 인력에 의해 실리콘 표면으로 끌려와 산화막과 실리콘 사이에 얇은 전자층을 만들게 됨. 이는 n형 반도체인 소스와 드레인 사이에 게이트의 전압에 의한 n형 반도체 층이 형성되었다는 의미이며 전류가 소스와 드레인 사이에서 흐를 수 있게 됨



[그림 21] nMOSFET의 구조.

- MOSFET의 동작원리는 그림 22와 같이 “견우와 직녀” 이야기로도 비유하여 설명할 수 있음. 그림 22a와 같이 게이트 전압이 0 V 일 때에는 소스와 드레인을 연결하는 길이 없으므로 견우와 직녀가 서로 만날 수가 없지만 (즉, 전류가 거의 흐르지 않음), 그림 22b와 같이 게이트 전압이 증가할수록 소스와 드레인을 연결하는 길이 형성이 되기 시작하고 (낮은 전류가 흐르게 됨), 높은 게이트 전압이 인가된 그림 22c와 같은 상황이 되면 소스와 드레인이 완전히 연결되어 견우와 직녀가 만나게 됨 (즉, 높은 전류가 흐르게 됨)



(a)



(b)

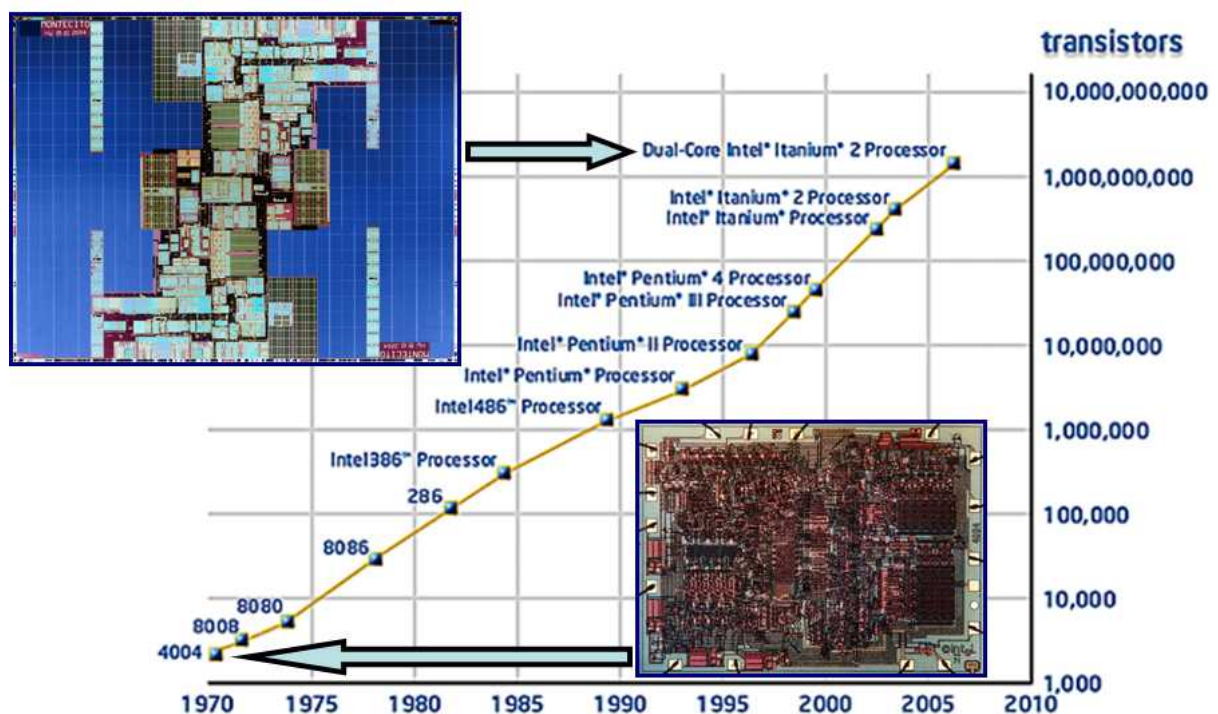


(c)

[그림 22] MOSFET 이해를 위한 비유. (a) 게이트 전압이 인가되지 않을 때. (b) 낮은 게이트 전압이 인가되었을 때. (c) 높은 게이트 전압이 인가되었을 때.

■ 작게, 작게, 더 작게: 반도체 축소화 경쟁 (2002년 90 nm 기술 이전)

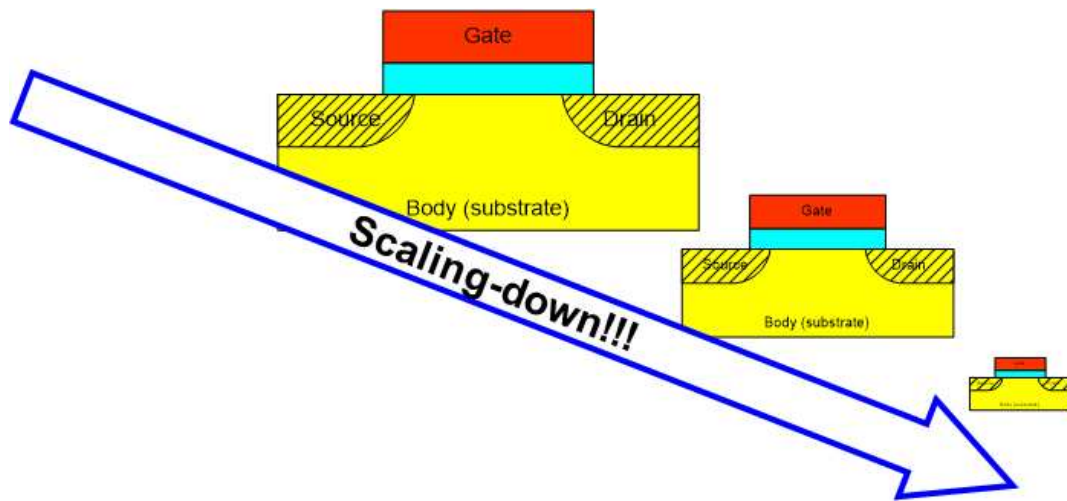
- 1964년 인텔의 공동 창업자인 고든 무어는 반도체 칩에 집적되는 반도체 소자의 개수가 2년마다 2배로 증가한다는 무어의 법칙을 발표하였고 그림 23에서 보듯이 현재도 이러한 기술 패러다임은 유효한 상황임. 이는 한정된 반도체 칩의 면적에 더욱 많은 반도체 소자를 집적하여야 한다는 것을 의미하므로 전세계의 반도체 업체들은 지난 50여년간 반도체 소자의 크기를 줄이기 위한 기술개발에 주력함



[그림 23] 무어의 법칙 <Source: Intel>.

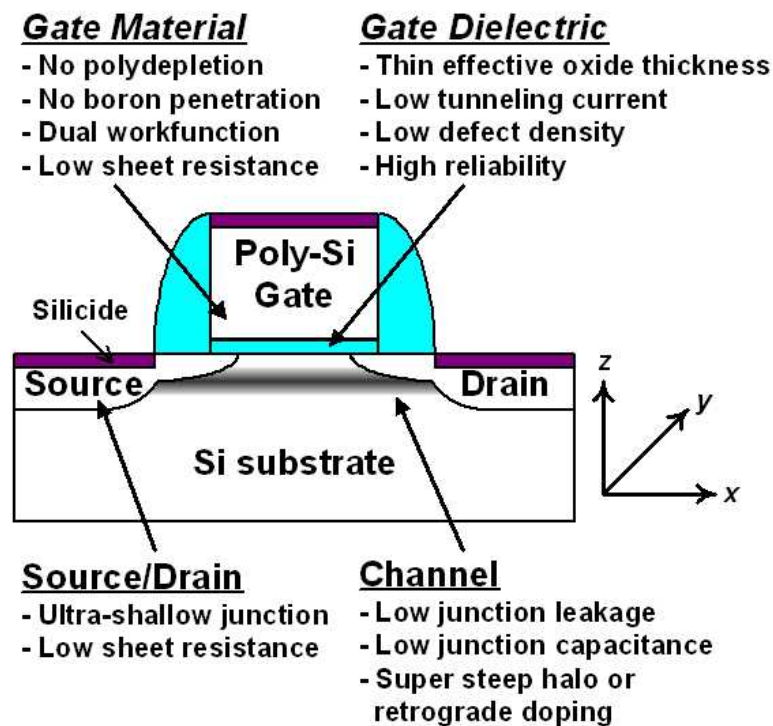
- 반도체 소자의 축소화는 그림 24와 같이 MOSFET의 모든 수직, 수평 방향의 크기와 인가되는 전압의 크기가 감소하는 것을 의미함. 이렇게 MOSFET의 크기가 작아지게 되면 제조원가 절감, 고성능, 고용량, 저전력이라는 장점을 얻게 됨. 축소화에 따른 부작용 (예를 들면, 단채널 효과)만 없다면 축소화는 반도체 산업에서 만병통치의 솔루션임. 지금까지의 반도체 산업은 축소화의 장점을 극대화하면서도 부작용을 최소화하는 것이 핵심 기술이었다고 해도 과언이 아님





[그림 24] 반도체 소자의 축소화.

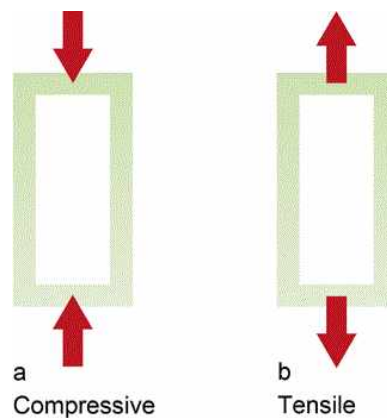
- 2000년대 초반에 동일한 구조의 MOSFET의 크기를 감소시키는 단순한 축소화는 한계를 맞게 되었음. 이는 MOSFET의 크기를 줄이더라도 고성능, 저전력을 얻기가 어려워졌기 때문이며 그림 25와 같은 여러 가지 기술적인 문제들이 심각한 상황이 되었음. 따라서 2002년 90 nm 기술부터는 혁신적인 기술들 (technology booster)이 2~4 년마다 도입되어 축소화를 진행하면서도 고성능, 저전력이라는 장점을 유지할 수 있게 됨



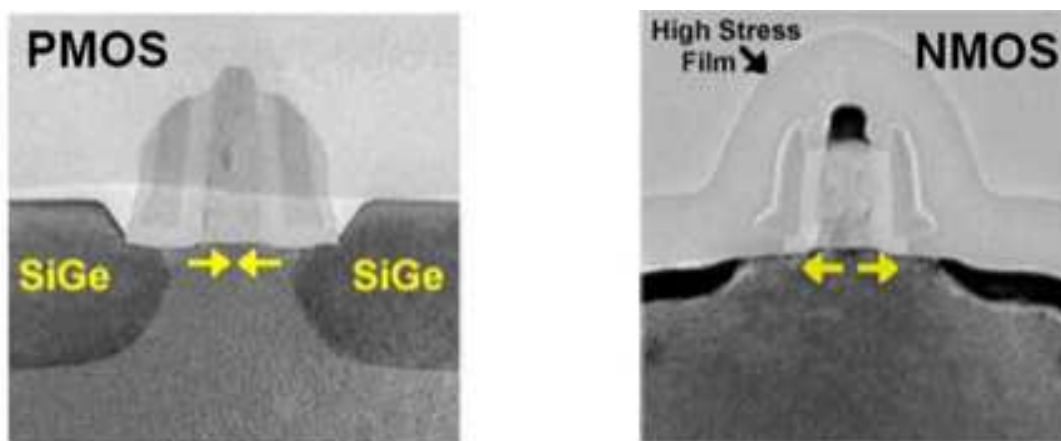
[그림 25] 2000년대 초반 MOSFET 소자의 축소화를 어렵게 한 기술적 요인들.

■ 혁신적인 아이디어의 도입과 반도체 축소화의 병행 (2002년 이후)

- 2002년 90 nm 기술부터 Intel 사는 축소가 진행되어도 성능이 증가하지 않는 문제를 겪게 됨. 이는 MOSFET의 소스와 드레인 사이에 흐르는 전류가 증가하지 않기 때문이며, 그 원인은 앞에서 언급한 반송자의 이동도가 MOSFET의 크기가 작아짐에 따라 감소하기 때문임. 이러한 상황을 극복하기 위해서는 표 2에 보인 대로 실리콘 이외의 반도체 물질을 사용하면 되겠으나, 고도로 발달하고 인프라가 매우 안정적으로 갖추어진 실리콘 반도체 기술을 포기하는 것은 매우 어려운 상황이었음. 이에 결정질 실리콘을 그림 26과 같이 소스-드레인 방향으로 강제로 늘이거나 (tensile stress) 압착하면 (compressive stress) 이동도가 변화하는 현상을 적용하여 동일한 실리콘 물질을 사용하면서도 이동도를 획기적으로 증가시켜 전류와 동작 속도의 향상을 구현하는 strained silicon 기술을 그림 27과 같이 개발함

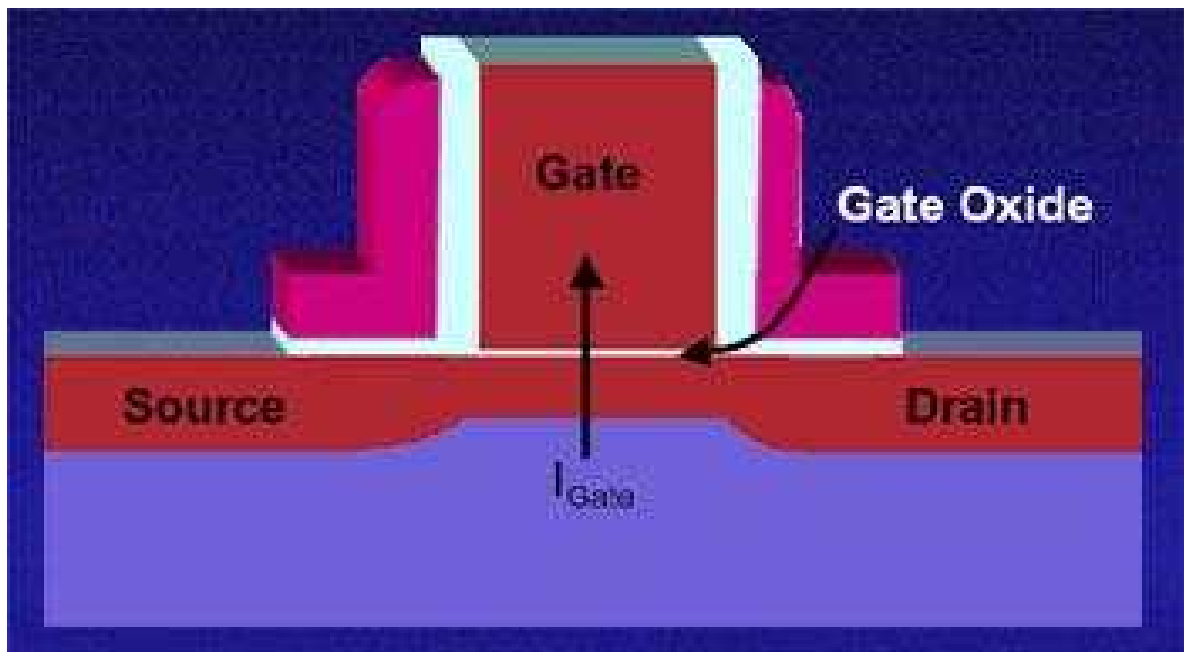


[그림 26] Compressive stress와 tensile stress의 정의.

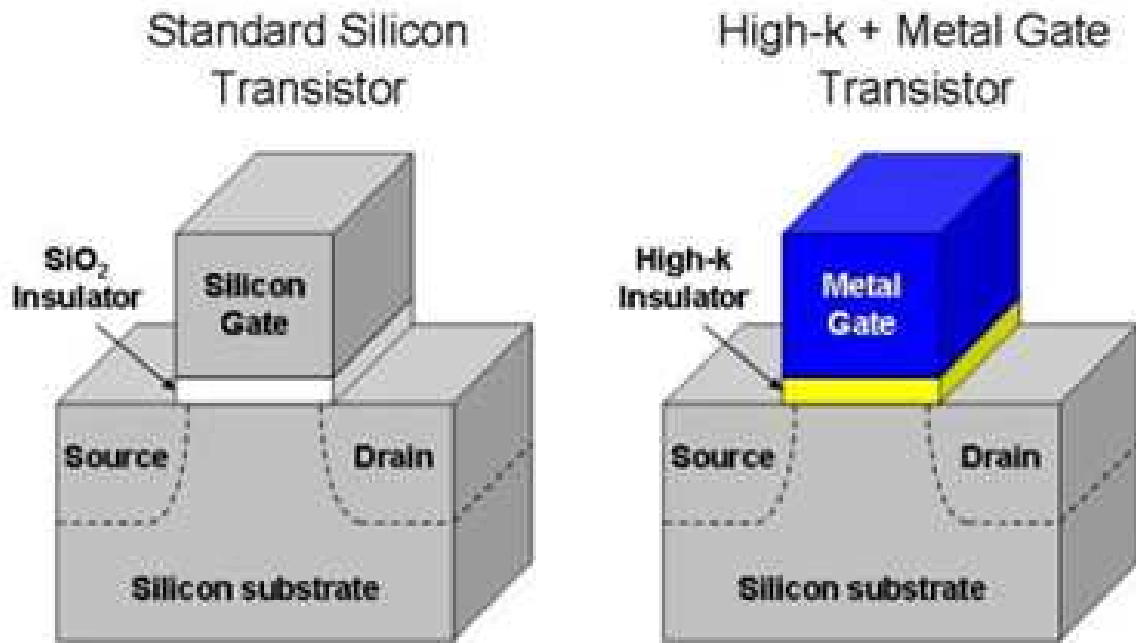


[그림 27] Intel 사가 2002년 90 nm부터 적용하고 있는 strained silicon 기술.

- 2008년 45 nm 기술이 도입될 때에는 그림 20의 MOSFET 구조에서 게이트 절연막의 두께가 1 nm 이하가 되어야 MOSFET의 전류가 증가하여 속도와 성능의 향상이 가능한 상황이었음. 그러나 기존의 게이트 절연막으로 사용되던 실리콘 산화막 ( $\text{SiO}_2$ )은 그림 28에서 보듯이 1 nm 이하가 되면 원자층 3~4개 정도만이 존재하므로 게이트 절연막이 더 이상 전류가 흐르지 않는 부도체의 성질을 띄지 않고, 상당한 전류가 흐르게 되었음. 이는 MOSFET이 꺼져 있는 상황에서도 많은 누설전류가 흐르는 것을 의미하여 전력 및 에너지 소모가 급격히 증가하는 문제를 야기하였음. 따라서 45 nm 기술부터는 실리콘 산화막을 게이트 절연막으로 사용하지 않고 실리콘 산화막보다 상대유전율 (relative permittivity:  $k$ )이 높은 절연물질을 사용하게 되었으며 이를 high- $k$  유전물질 (high- $k$  dielectric) 이라고 함. 아울러, 추가적으로 게이트의 전기전도도를 높이기 위하여 게이트의 물질도 기존의 n형 혹은 p형 폴리실리콘에서 금속으로 변경되었음. 이를 통틀어 금속 게이트 / 고유전율 절연막 (metal gate / high- $k$  dielectric) 기술이라 함

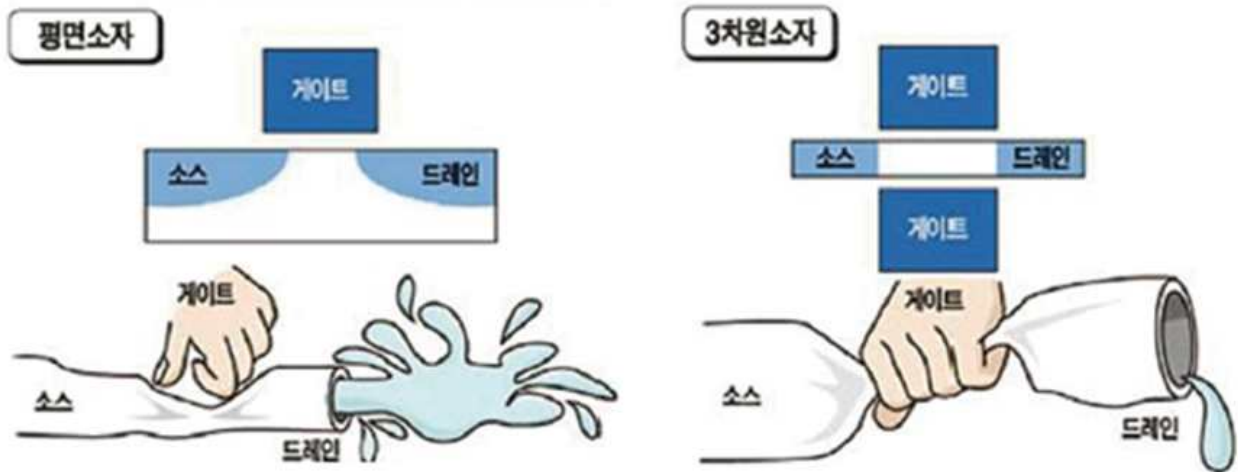


[그림 28] 기존 MOSFET에서 게이트 절연막의 두께 감소로 인한 누설전류의 증가.

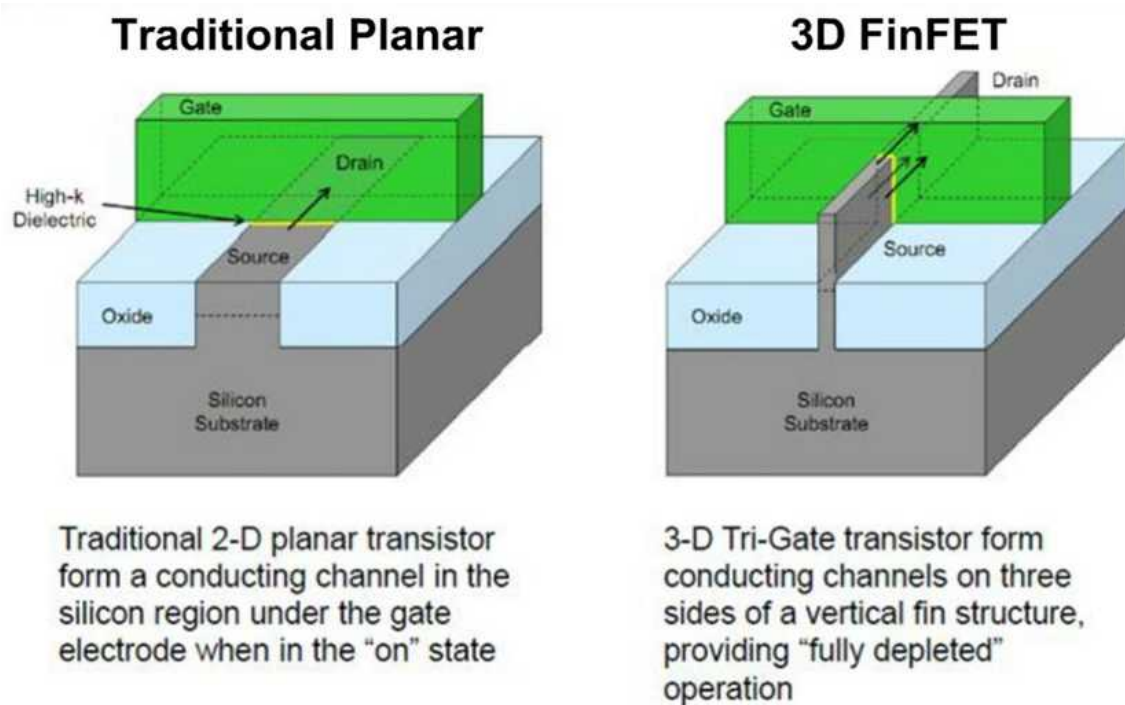


[그림 29] (왼쪽) 기존의 MOSFET 구조. (오른쪽) Intel 사가 2008년 45 nm부터 적용하고 있는 금속 게이트 / 고유전율 절연막 (metal gate / high-k dielectric) 기술.

- 2012년 22 nm 기술이 도입될 때는 그림 20과 같이 2차원적인 평면구조를 갖는 MOSFET은 더 이상의 축소화가 불가능하였음. 이는 그림 30과 같이 설명할 수 있는데, 기존의 평면 MOSFET은 게이트가 소스와 드레인 사이의 한 면만 바라보고 있으므로 축소화에 따라 소스와 드레인이 매우 근접하게 되면, 소스와 드레인 사이에 흐르는 전자 혹은 정공으로 인한 전류의 흐름을 완벽하게 제어하기 어려운 상황이었음. 따라서 하나의 게이트가 아닌 여러 개의 게이트를 이용하면 소스와 드레인 사이가 매우 근접하더라도 게이트가 소스와 드레인 사이의 전류를 완벽하게 제어할 수 있게 됨. “백지장도 맞들면 낫다”, “Two heads are better than one”과 같은 개념임. 게이트를 여러 개 사용하기 위해서는 기존의 평면 구조가 아닌 삼차원 구조가 필수적이며, 2012년 Intel 사는 그림 31의 오른쪽과 같은 구조로 3개의 게이트가 소스와 드레인 사이를 둘러싸고 있는 삼차원 트리플 게이트 (triple-gate) MOSFET을 개발하였음. 이러한 MOSFET을 다중게이트 (multi-gate) MOSFET, 핀펫 (finFET)등으로도 부름



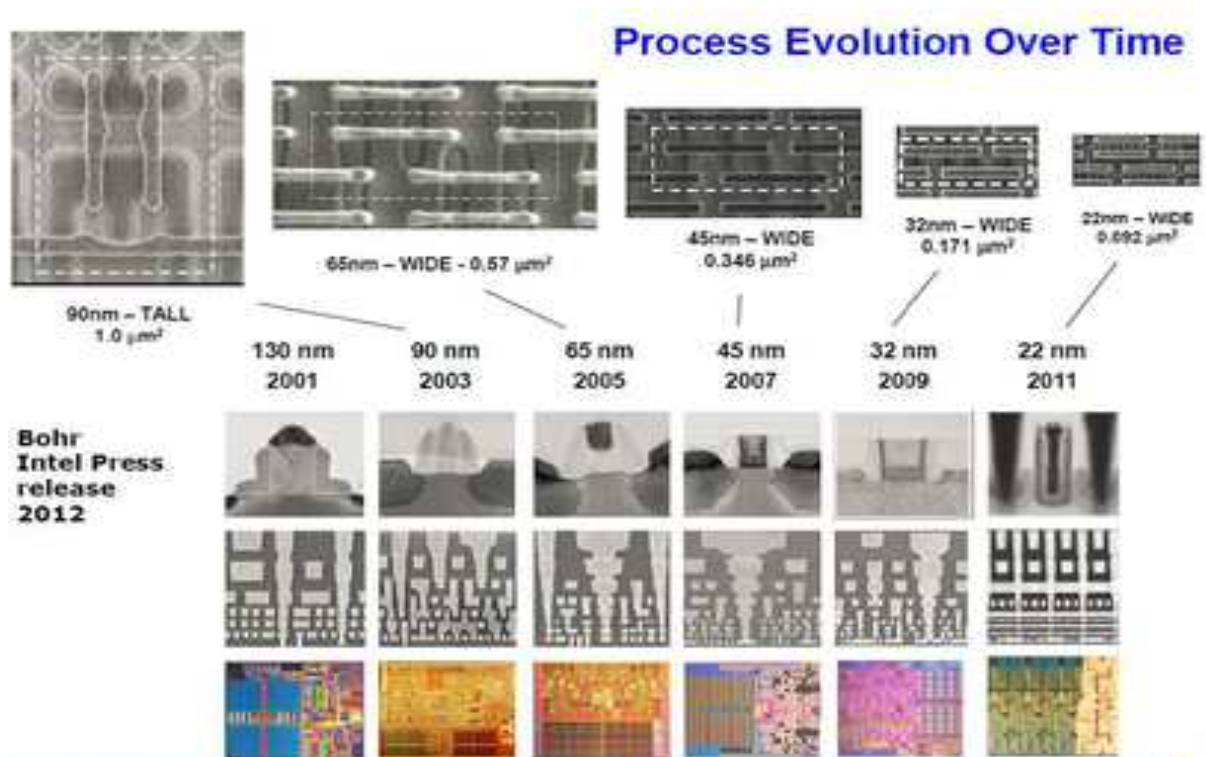
[그림 30] (왼쪽) 기존의 게이트가 하나인 평면 MOSFET의 원리. (오른쪽) 22 nm 기술에서 도입된 여러개의 게이트를 갖는 3차원 MOSFET의 원리.



[그림 31] (왼쪽) 기존에 사용되던 평면구조 단일 게이트 MOSFET의 조감도. (오른쪽) 22 nm 기술부터 적용된 삼차원구조 다중 게이트 MOSFET의 조감도.

- 2017년에 10 nm 기술이 양산되었고 상기에 언급된 strained 실리콘 기술, metal gate / high-k dielectric 기술, 삼차원 다중 게이트 기술이 고도화되어 적용되고 있음. 그림 32에는 Intel 사가 주도해온 나노 반도체의 기술적 발전 과정이 정리되어 있음

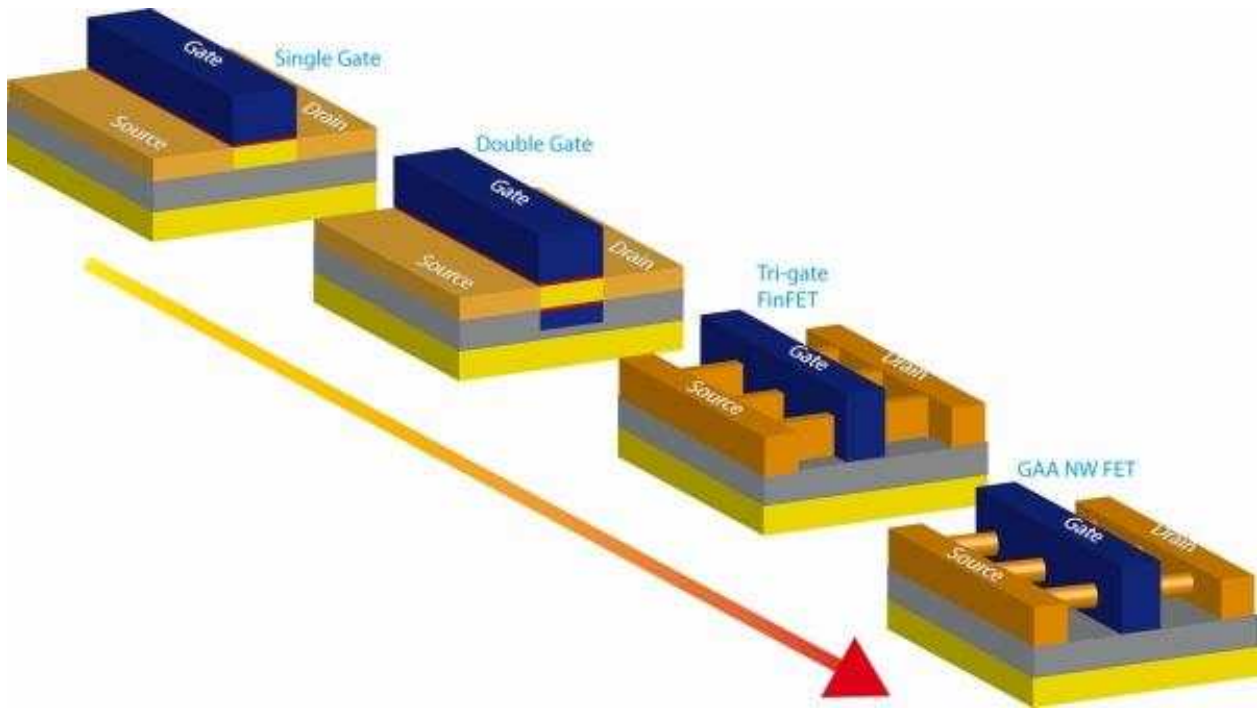




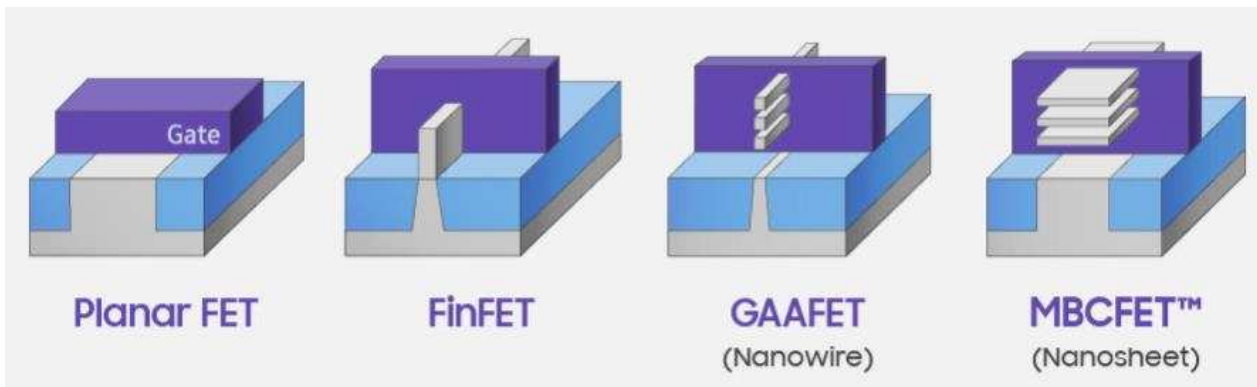
[그림 32] Intel 사가 주도해온 나노 반도체 소자의 기술적 진보.

<Source: Intel>

- 2018년에는 7 nm 기술이 발표되었고, 2020년에는 5 nm 기술이 발표될 것임. 이후 3 nm 이하의 기술이 예상되고 있음. 1 nm 근방의 기술까지는 축소화가 가능할 것으로 전망함. 5 nm 도입을 위한 기술로는 나노와이어 (nanowire: NW) MOSFET 혹은 나노시트 (nanosheet: NS) MOSFET, 고이동도 채널 MOSFET이 유력한 대안으로 고려되고 있음.
- 그림 33에서 보인 나노와이어 MOSFET은 게이트올어라운드 (gate-all-around: GAA) MOSFET이라고도 불리는데 그림 30에서 보인 삼차원 다중게이트 MOSFET의 개념이 극한까지 도달한 구조라고 볼 수 있음. 그림 30의 구조는 소스와 드레인 사이를 게이트가 3면에서 둘러싸고 있어 아래쪽의 한 면은 여전히 게이트가 덮여있지 않아 5 nm 이하의 구현이 어려움. 이에 그림 33과 같이 게이트가 소스와 드레인 사이를 4면에서 완전히 둘러싼 나노와이어 MOSFET을 도입하게 되면 게이트가 소스와 드레인 사이 전류를 완벽하게 제어할 수 있어서 5 nm 이하 MOSFET의 구현이 가능함. 최근에는 그림 34와 같이 나노와이어 MOSFET의 문제점을 나노시트 MOSFET으로 극복하여 3 nm 이하에서 적용하려는 연구가 활발히 진행중



[그림 33] 5 nm 이하 기술을 위한 나노와이어 MOSFET의 개발.

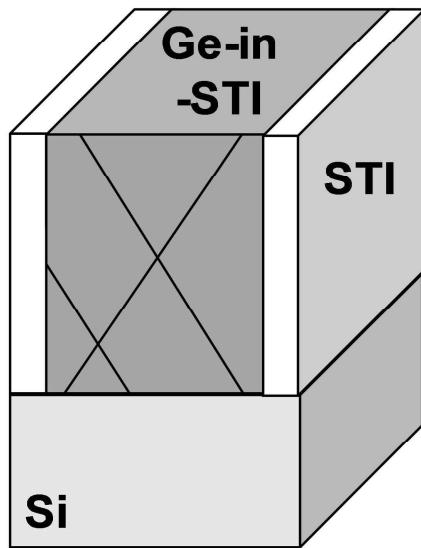


[그림 34] 삼성전자 파운드리 기술 roadmap 예시.

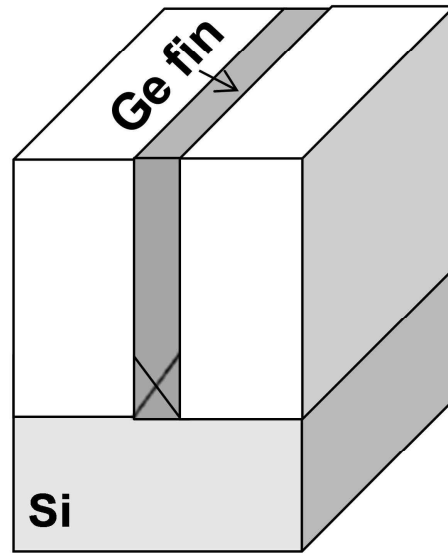
<Source: Samsung>

- 고이동도 채널 MOSFET은 실리콘보다 높은 전자/정공 이동도를 갖는 반도체 물질을 실리콘 웨이퍼 위에 형성하는 방식으로 구현될 것임. 그림 35에서 보인 게르마늄 (germanium: Ge) 혹은 그림 36에서 보인 화합물 (compound) 반도체가 실리콘 웨이퍼 위에 얇게 형성되고 이곳에 MOSFET을 구현하면 기존의 실리콘 반도체 인프라에 많은 변화없이도 반도체 소자의 성능향상이 가능함

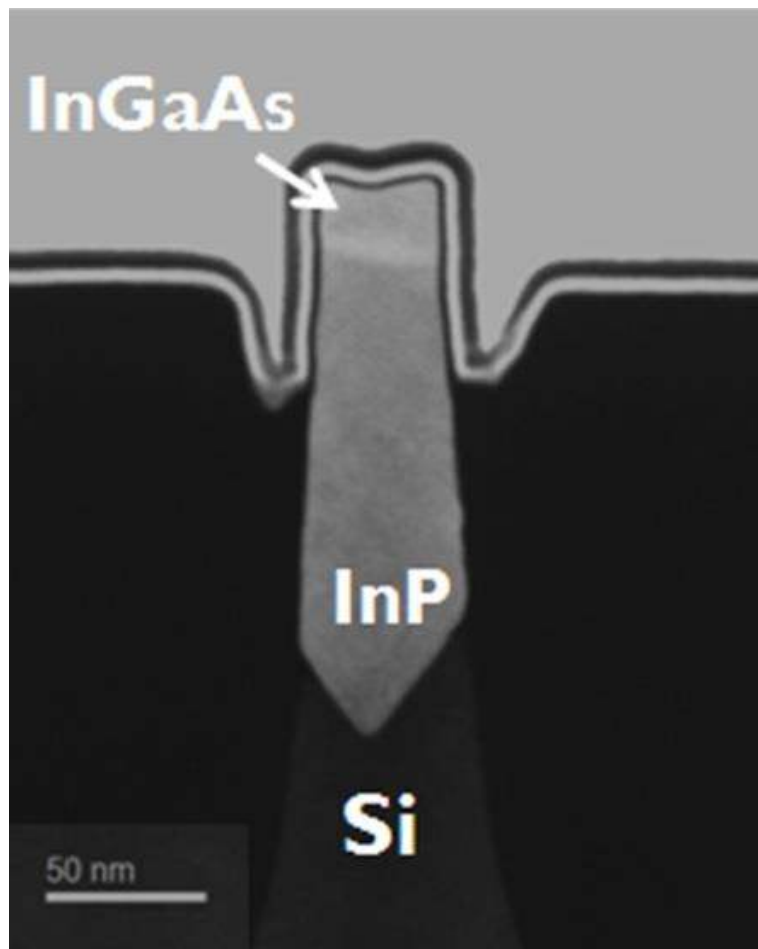
(a)



(b)



[그림 35] 5 nm 이하 기술을 위한 게르마늄 MOSFET의 개념도.



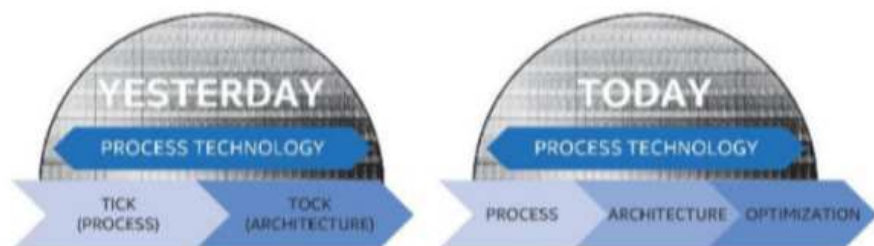
[그림 36] 5 nm 이하 기술을 위한 화합물 MOSFET의 개념도.

## ■ MOSFET 이후 (post-CMOS)의 반도체 연구 방향

- Intel 사의 공동 창업자 고든 무어가 제안한 ‘무어의 법칙’이 그림 37과 같이 2016년에 공식적으로 종료되었음. 따라서 반도체 소자의 축소화는 2년마다 진행되는 것이 아닌 3년 이상의 기간마다 진행이 되어 축소화의 속도가 둔화되었음. 이는 반도체 미세공정의 한계가 10년 내로 도래하기 때문이며 앞으로의 반도체 축소화는 단순한 크기의 감소가 아닌 경제성을 고려한 성능과 에너지 효율을 향상에 초점이 맞추어질 것으로 전망함. 특히 휴대용 전자기기, 사물인터넷, 인공지능 시장의 성장에 따라 에너지 효율을 높인 초저전력 반도체의 개발이 중요함. 기존의 반도체 축소화 (downscaling 혹은 scaling)가 크기의 축소인 dimension scaling을 의미한다면 앞으로의 축소화는 전력소모의 축소인 power scaling을 의미할 것으로 전망함. 이에 MOSFET을 보완 혹은 대체할 수 있는 다양한 차세대 반도체 소자들이 활발히 연구중에 있음

## 반도체업계 ‘무어의 법칙’ 폐기...인텔 이어 파운드리도 뒤따를 듯

■ 인텔, 공정 전환 주기 3년으로...파운드리 업체도 늦출 듯

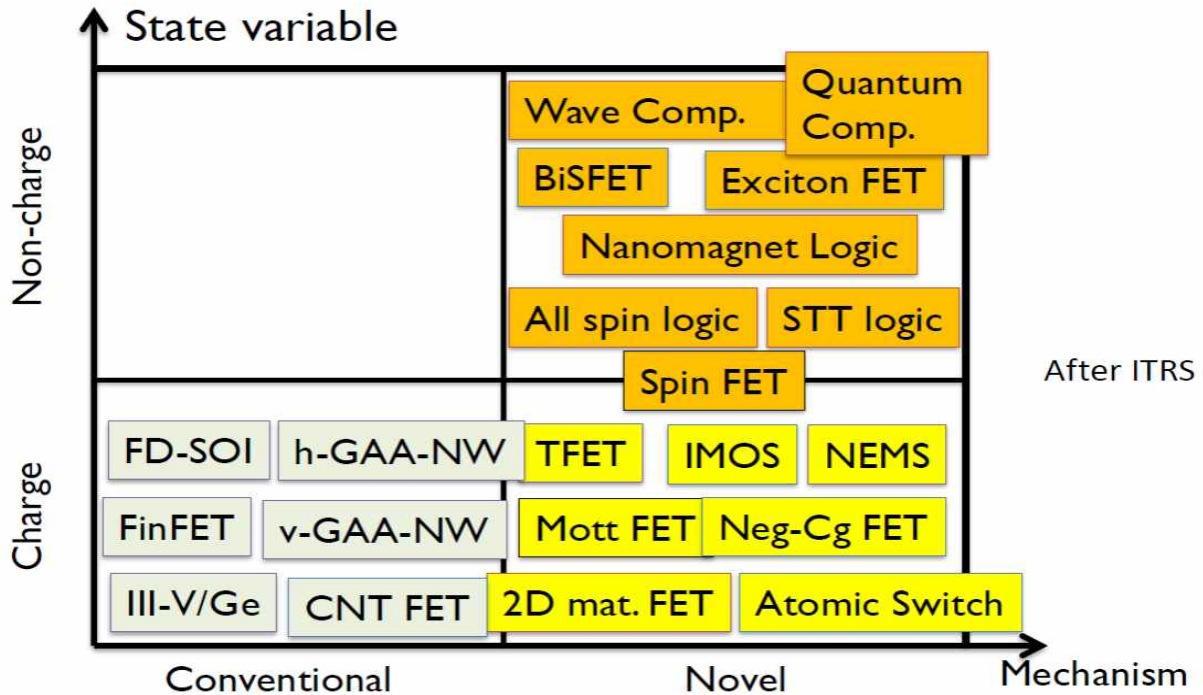


<인텔 프로세서 진화 로드맵. 과거에는 틱톡 모델을 따랐지만 최근에는 물리적 공정 전환, 논리적 회로 구조 변경, 개선의 의미를 띤 P-A-O 모델로 선회했다.>

2년마다 트랜지스터 집적도가 두 배 증가한다는 인텔 창업자 고든 무어의 이론이 깨졌다. 인텔이 2년에 한 번 행하던 공정 전환 주기를 3년으로 바꾼다고 공식 발표했다. 삼성전자와 TSMC 등 파운드리 업체도 파생 공정을 연이어 개발하며 공정 전환 주기를 늦출 것으로 전망된다. ‘무어의 법칙’이 역사 속으로 사라지고 있다.

[그림 37] 무어의 법칙 공식적인 종료를 보도한 2016년 4월 11일 전자신문기사.

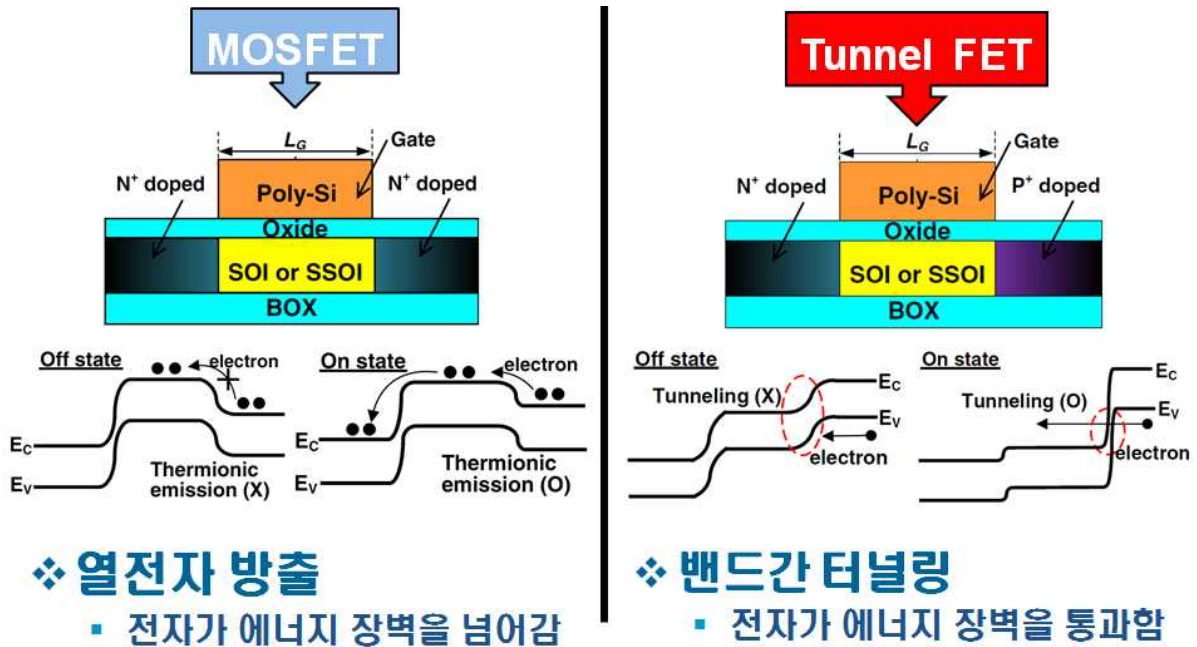
- 국제 반도체 기술 로드맵 (ITRS)의 2015~2016년 버전에는 그림 38과 같이 새로운 동작 메커니즘을 이용한 다양한 초저전력 반도체 소자 기술이 제시되어 있음. 주목할만한 대안 기술에는 터널링 트랜지스터 (tunnel FET), 음의 전기용량을 이용한 트랜지스터 (negative capacitance FET), 나노 전기기계 소자 (nano-electromechanical switch) 등이 있음



[그림 38] MOSFET을 보완 혹은 대체할 수 있는 차세대 유망 반도체 소자 후보군.

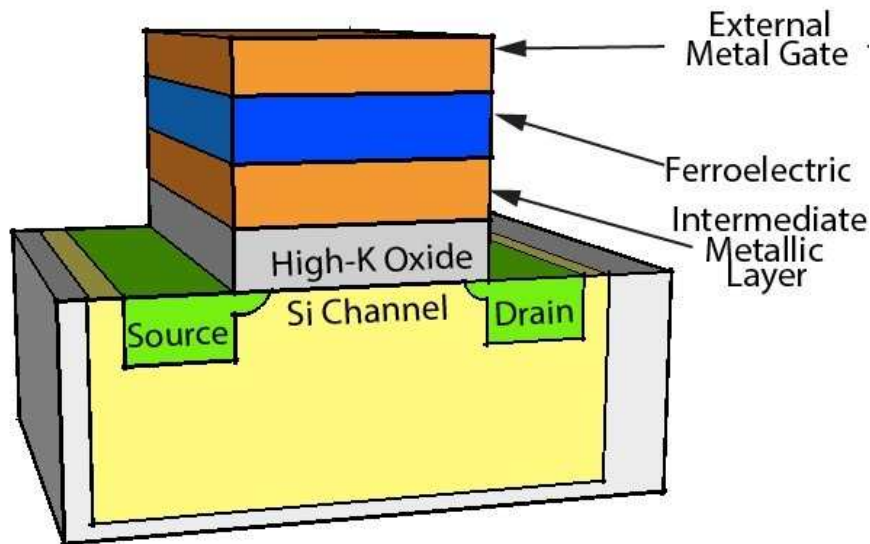
- Tunnel FET (TFET): 그림 39와 같이 양자역학의 효과인 밴드간 터널링 현상을 이용하여 기존의 MOSFET보다 급격하게 꺼지고 켜지는 스위칭 동작을 수행하는 반도체 소자임. 구조나 물질이 MOSFET의 그것과 매우 유사하여 유력한 대안 중의 하나로 주목받고 있음 (구동 전류의 증가가 주요 연구 주제)





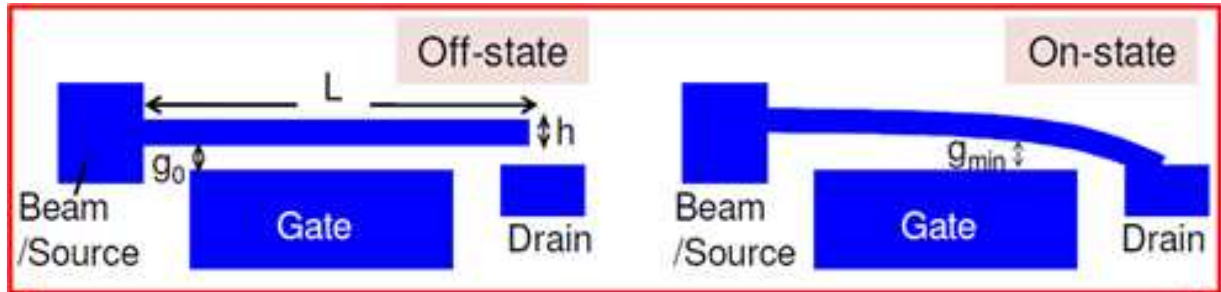
[그림 39] MOSFET과 tunnel FET의 비교.

- Negative capacitance FET (NCFET): 그림 40과 같이 게이트 절연막의 물질을 강유전체로 변경하여 순간적으로 음의 capacitance 값을 얻을 수 있다는 현상을 이용하여 MOSFET보다 급격한 꺼짐-켜짐 스위칭을 구현 가능 (이력현상 없이 빠른 스위칭 동작을 얻어내는 것이 주요 연구 주제)



[그림 40] NCFET의 구조.

- Nano-electromechanical switch (NEMS): 그림 41과 같이 반도체를 이용하지 않고 금속막대의 기계적인 이동으로 MOSFET보다 급격한 켜짐-꺼짐 스위칭 동작을 구현함. 반도체를 이용하지는 않지만 반도체 공정을 이용하여 구현되므로 반도체 소자로 분류함 (신뢰성의 향상이 주요 연구 주제)



[그림 41] NEMS 소자의 구조 및 동작원리.